

## MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

Publication number: JP2530990 (B2)

**Also published as:**

Publication date: 1996-09-04



IP6310533 (A)

**Inventor(s):** ICHIMURA TERUHIKO, ; NASU YASUHIRO, ; MATSUMOTO TOMOTAKA



US5407845 (A)

Applicant(s): FUJITSU LTD

#### **Classification:**

- international: *G02F1/1343; G02F1/136; G02F1/1368; H01L21/22; H01L21/223; H01L21/336; H01L21/77; H01L21/84; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L29/66; (IPC1-7); H01L29/786; G02F1/1343; G02F1/136; H01L21/336*

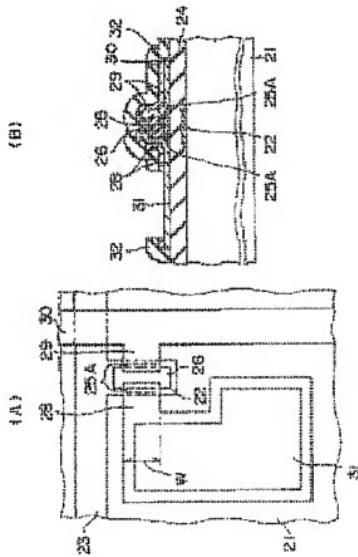
- European: H01L29/786S; H01L21/223E; H01L21/336D2B; H01L21/77T

Application number: JP19930169288 19930708

**Priority number(s):** JP19930169288 19930708; JP19920276884 19921015;  
JP19930038795 19930226

**Abstract of JP 6310533 (A)**

**PURPOSE:** To reduce the number of photomasks to be used and to improve yield by making use of four photomasks enough for a lithography process by each specified patterning from a first stage to a fourth stage. **CONSTITUTION:** A first photomask is used when a gate electrode 22 and a gate bus line 23 are used. A second photomask is used when a semiconductor film 25 which becomes an active layer of a transistor is patterned on the gate electrode 22. A third photomask is used when a picture element electrode 31, a source electrode 28, a drain electrode 29, a drain bus line 30 and a drain bus terminal part are formed. A fourth photomask is used when a film on the picture element electrode 31, the drain bus line terminal part and a gate bus terminal part is removed. Four photomasks are enough for patterning from a first stage to a fourth stage.



Data supplied from the [esp@cenet](mailto:esp@cenet) database — Worldwide

## MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

**Publication number:** JP6310533 (A)

**Publication date:** 1994-11-04

**Inventor(s):** ICHIMURA TERUHIKO; NASU YASUHIRO; MATSUMOTO TOMOTAKA

**Applicant(s):** FUJITSU LTD

**Classification:**

- **international:** G02F1/1343; G02F1/136; G02F1/1368; H01L21/22; H01L21/223; H01L21/336; H01L21/77; H01L21/84; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L29/66; (IPC1-7): H01L21/22; H01L21/336; G02F1/1343; G02F1/136; H01L29/784

- **European:** H01L29/786S; H01L21/223E; H01L21/336D2B; H01L21/77T

**Application number:** JP19930169288 19930708

**Priority number(s):** JP19930169288 19930708; JP19920276884 19921015; JP19930038795 19930226

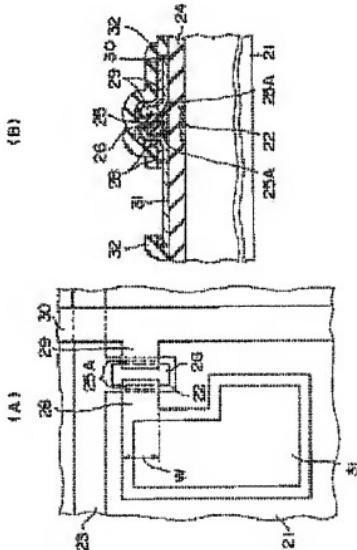
**Also published as:**

JP2530990 (B2)

US5407845 (A)

### Abstract of JP 6310533 (A)

**PURPOSE:** To reduce the number of photomasks to be used and to improve yield by making use of four photomasks enough for a lithography process by each specified patterning from a first stage to a fourth stage. **CONSTITUTION:** A first photomask is used when a gate electrode 22 and a gate bus line 23 are used. A second photomask is used when a semiconductor film 25 which becomes an active layer of a transistor is patterned on the gate electrode 22. A third photomask is used when a picture element electrode 31, a source electrode 28, a drain electrode 29, a drain bus line 30 and a drain bus terminal part are formed. A fourth photomask is used when a film on the picture element electrode 31, the drain bus line terminal part and a gate bus terminal part is removed. Four photomasks are enough for patterning from a first stage to a fourth stage.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-310533

(43)公開日 平成6年(1994)11月4日

(51)IntCL<sup>8</sup>

H 01 L 21/336

29/784

G 02 F 1/1343

1/136

識別記号 序内整理番号

F I

技術表示箇所

5 0 0

9017-2K

9119-2K

8058-4M

H 01 L 29/78

3 1 1 P

審査請求 有 請求項の数13 O L (全37頁) 紙録面に統く

(21)出願番号

特願平5-169288

(22)出願日

平成5年(1993)7月8日

(31)優先権主張番号

特願平4-276884

(32)優先日

平4(1992)10月15日

(33)優先権主張国

日本 (JP)

(31)優先権主張番号

特願平5-38795

(32)優先日

平5(1993)2月26日

(33)優先権主張国

日本 (JP)

(71)出願人

000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者

市村 駿泰

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

那須 安宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者

松本 支季

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人

弁理士 岡本 啓三

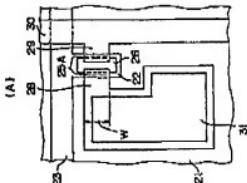
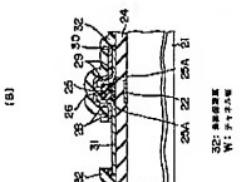
(54)【発明の名前】薄膜トランジスタ・マトリクスの製造方法

(57)【要約】

【目的】薄膜トランジスタ・マトリクスの製造方法に関する、リソグラフィー工程で使用するフォトマスクの回数を低減させて歩留りを向上すること。

【構成】ゲート電極とゲートバスラインを形成する際に1枚目のフォトマスクを使用し、ゲート電極の上でトランジスタの活性層となる半導体膜をパターニングする際に2枚目のフォトマスクを使用し、また、凹窓電極、ソース電極、ドレイン電極、ドレインバスライン及びドレインバス端子部を形成する際に3枚目のフォトマスクを使用し、凹窓電極、ドレインバスライン端子部及びゲートバス端子部の上の膜を除去する際に4枚目のフォトマスクを使用することを含む。

図1「実施例を示すアモルファイトランジスタの断面剖面図(その1)



(2)

特開平6-310533

1

2

## 【特許請求の範囲】

【請求項1】 透明絶縁基板(21)の上面に、ゲート電極(22)と該ゲート電極(22)に導通するゲートバスライン(23)を形成する工程と、

前記ゲート電極(22)及び前記ゲートバスライン(23)を覆うゲート絶縁膜(24)、半導体活性層(25)及びチャネル保護膜(26)を順に前記透明基板(21)の上に成膜する工程と、

前記ゲート電極(22)の輪郭に対応する位置の内側にレジストパターン(27)を形成する工程と、

前記レジストパターン(27)をマスクにして、前記チャネル保護膜(26)、前記半導体活性層(25)をエッチングし、さらに前記チャネル保護膜(26)の輪郭が前記半導体活性層(25)の輪郭よりも内側になるパターンを形成する工程と、

前記レジストパターン(27)を除去した後に、前記チャネル保護膜(26)の輪郭から外側に露出されている前記半導体活性層(25)に不純物を導入してコンタクト領域(25A)を形成する工程と、

前記レジストパターン(27)を除去した後に、前記チャネル保護膜(26)の輪郭から外側に露出されている前記半導体活性層(25)に不純物を導入してコンタクト領域(25A)を形成する工程と、

前記半導体活性層(25)に不純物を導入してコンタクト領域(25A)を形成する工程と、

前記半導体活性層(25)に不純物を導入してコンタクト領域(25A)を形成する工程と、該ドライエン電極(28)及びドライエン電極(29)に繋がるドライエンバスライン(30)を形成し、前記ソース電極(28)に繋がる汎用領域に前記複層体を残し、統いて、前記ソース電極(28)及び前記ドライエン電極(29)から繋がり出た前記コンタクト領域(25A)をエッチングにより除去する工程と、

前記汎用領域に存在する前記金属膜を除去することにより前記汎用電極材料膜からなるソース電極(31)を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

【請求項2】 透明絶縁基板(21)の上面に、ゲート電極(22)と該ゲート電極(22)に導通するゲートバスライン(23)を形成する工程と、

前記ゲート電極(22)及び前記ゲートバスライン(23)を覆うゲート絶縁膜(24)、半導体活性層(25)及びチャネル保護膜(26)を順に前記透明基板(21)の上に成膜する工程と、

前記チャネル保護膜(26)の上にポジ型レジスト(70)を散布し、該ポジ型レジスト(70)を露光、現像することにより、前記ゲート電極(22)とその両側の周辺に該ポジ型レジスト(70)を残存させ工程と、

バーナーニングされた前記ポジ型レジスト(70)をマスクにして、前記チャネル保護膜(26)及び前記半導体活性層(25)をバーナーニングする工程と、

前記透明絶縁基板(21)の下面側から光を照射し、前記ゲート電極(22)をマスクにして前記ポジ型レジスト(70)を露光し、ついで現像して、前記ポジ型レジスト(70)をゲート電極(22)に沿った形状のパターンにす

る工程と、

前記二度目の露光及び現像を経た前記ポジ型レジスト(70)をマスクにして前記チャネル保護膜(26)をバーナーニングし、前記ゲート電極(22)の周側にある前記半導体活性層(25)を露出させる工程と、

前記レジストパターン(27)を除去した後に、前記チャネル保護膜(26)から露出している前記半導体活性層(25)に不純物を導入してコンタクト領域(25A)を形成する工程と、

10 固素電極材料膜及び金属膜よりなる複層体を形成して該複層体をバーナーニングすることにより、前記コンタクト領域(25B)に接続し且つその上で分離されるソース電極(75)及びドライエン電極(74)と、該ドライエン電極(74)に繋がるドライエンバスライン(76)とを形成するとともに、前記ソース電極(75)に繋がる汎用領域に前記複層体を残す工程と、

前記汎用領域に存在する前記金属膜を除去することにより前記汎用電極材料膜からなるソース電極(77)を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

【請求項3】 透明絶縁基板(21)の上面に、ゲート電極(50)と該ゲート電極(50)に導通するゲートバスライン(51)を形成する工程と、

前記ゲート電極(50)及びゲートバスライン(51)を覆うゲート絶縁膜(51)、活性層となる第一の非晶質半導体膜(62)および底層又は空隙を含む第二の非晶質半導体膜(63)を前記透明基板(21)の上に順に成膜する工程と、

前記ゲート電極(50)の輪郭に対応する位置の内側にレジストパターン(64)を形成する工程と、

前記レジストパターン(64)をマスクにして前記第一の非晶質半導体膜(62)と前記第二の非晶質半導体膜(63)をバーナーニングし、前記ゲート電極(50)の上方に残存させる工程と、

前記レジストパターン(64)を除去した後に、前記第二の非晶質半導体膜(63)の上部層に不純物を導入してコンタクト領域(65)を形成する工程と、

固素電極材料膜(53)及び金属膜(54)よりなる複層体を形成して該複層体をバーナーニングすることにより、前記コンタクト領域(65)に接続し且つその上で分離されるソース電極(55)及びドライエン電極(56)と、該ドライエン電極(56)に繋がるドライエンバスライン(57)とを形成し、前記ソース電極(55)に繋がる汎用領域に前記複層体を残し、統いて、前記ソース電極(55)及び前記ドライエン電極(56)から繋がり出た前記コンタクト領域(65)をエッチングにより除去する工程と、

前記汎用領域に存在する前記金属膜(54)を除去して前記固素電極材料膜(53)により形成される固素電極(58)を表出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

40 前記固素電極(58)の上部層に不純物を導入してコンタクト領域(65)を形成する工程と、

前記ソース電極(55)及びドライエン電極(56)に繋がるドライエンバスライン(57)とを形成し、前記ソース電極(55)に繋がる汎用領域に前記複層体を残し、統いて、前記ソース電極(55)及び前記ドライエン電極(56)から繋がり出た前記コンタクト領域(65)をエッチングにより除去する工程と、

前記汎用領域に存在する前記金属膜(54)を除去して前記固素電極材料膜(53)により形成される固素電極(58)を表出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

(3)

特許平6-310533

4

【請求項4】 前記図素領域に画素電板(31, 58, 77)を露出させる工程の前に、全面に熱転写膜(32, 67, 78)を形成する工程と、

前記図素電板(31, 58, 77)の上とドレインバス端子部及びゲートバス端子部とにおいて前記最終保護膜(32, 67, 78)をエッチングで開口部を形成する工程と、前記開口部内に前記ゲート絶縁膜(24, 61)が表出されている部分においては前記ゲート絶縁膜(24, 61)を除去し、前記積層体の前記金属膜が表出されている部分においては前記金属膜を除去する工程とが含まれてなることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項5】 前記透明絶縁体基板(21)の上の前記ゲート電極(22, 50)及び前記ゲートバスライン(23, 51)は、第二の画素電板材料膜(47)と第二の金属膜(48)からなる第二の積層体をバーニングして形成されるとともに、前記ゲートバスライン(23, 51)の端部に形成されるゲートバス端子部(52)は、前記第二の画素電板材料膜(47)により形成され。

該ゲートバス端子部(52)の上の前記第二の金属膜(48)は、前記ゲート絶縁膜(24, 61)の上に形成される前記積層体の前記金属膜を除去する前記工程において同時に除去されることを特徴とする請求項4記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項6】 前記半導体活性層(25, 63)に不純物を導入してコンタクト窓(25A, 25B, 65)を形成する工程は、3倍又は5倍の水素化物、3倍又は5倍のフッ化物のいずれかを含むガスと不活性ガスとの混合ガスを導入したガラスの減圧下で発生されたプラズマの空間に前記半導体活性層(25, 63)をさらす工程であることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項7】 前記5倍の水素化物又は前記5倍のフッ化物は、焼の水素化物又はフッ化物であり、前記コンタクト領域(25A, 25B, 65)の焼温度が $5 \times 10^4 \sim 5 \times 10^5$  °C/m<sup>2</sup>の範囲にあることを特徴とする請求項6記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項8】 前記半導体活性層(25, 63)を前記プラズマの空間にさらして前記コンタクト領域(25A, 25B, 65)を形成した後に、前記コンタクト領域(25A, 25B, 65)の表面を洗浄せずに前記コンタクト領域(25A, 25B, 65)の上にソース電極(56)及びドレイン電極(56)を形成することを特徴とする請求項6記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項9】 不純物を導入して前記コンタクト領域(25A, 65)を形成する工程から、前記ソース電極(28, 55)及び前記ドレイン電極(29, 56)を形成するための前記積層体を堆積する工程までは、減圧界気の中

で連続してなされる工程であることを特徴とする請求項1又は2記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項10】 前記ゲート電極(22, 50)の輪郭に対応する位置の内側に前記レジストバーティン(27, 64)を形成する前記工程は、前記透明絶縁体基板(21)の上面側に整列されたポジ型レジストに基づく下面側から光を照射し、前記ゲート電極(22, 50)及び前記ゲートバスライン(23, 51)をマスクにして該ポジ型レジストを露光する工程であることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項11】 前記ゲート電極(22)と前記ゲートバス等(23)の境界部分にはゲート長方向に幅のない絞り込み部分(22A)が形成され、該絞り込み部分(22A)の上に形成される活性層(26)は、ソース電極(28)及びドレイン電極(29)からはみ出ているコンタクト層(25A)を除去する際に同時に除去されることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクスの製造方法。

【請求項12】 透明絶縁体基板(21)の上面に、島状の透明導電膜(41)を介して電気的に接続される不透明なゲート電極(22)と不透明なゲートバスライン(23)を形成する工程と、

前記ゲート電極(22)及び前記ゲートバスライン(23)を覆うゲート絶縁膜(24)及び半導体膜(26)を前記透明基板(21)の上に形成する工程と、前記半導体膜(26)の上方にポジ型レジスト(27)を露光する工程と、

前記透明絶縁体基板(21)の下面側から光を照射し、前記ゲート電極(22)と前記ゲートバスライン(23)をマスクに使用することにより、前記ポジ型レジスト(27)を露光する工程と、現象処理により、前記ポジ型レジスト(27)を前記ゲート電極(22)と前記ゲートバスライン(23)の上に分離して残存させる工程と、

前記ポジ型レジスト(27)のバーティンに覆われた部分の前記半導体膜(26)をエッチングすることにより、前記半導体膜(26)を分離させて前記ゲート電極(22)と前記ゲートバスライン(23)の上に残す工程とを有することを特徴とする薄膜トランジスタ・マトリクスの製造方法。

【請求項13】 前記ゲート電極(22)と前記ゲートバスライン(23)を導通させる前記島状の透明導電膜(41)は、前記透明絶縁体基板(21)の上面に形成されるキャバシタ用のド側電極(40)と同一工法でバーニングがされていることを特徴とする請求項12記載の薄膜トランジスタ・マトリクスの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ラップ・トップ・パソ

(4)

特開平6-310533

5

コンや壁掛けテレビジョン等において、画面表示を行う液晶表示パネルを駆動するために作り付けられる薄膜トランジスタ・マトリクスを製造する方法の改良に関する。

【0002】

【従来の技術】薄膜トランジスタ (TFT (Thin Film Transistor)) をマトリクス状に配置した液晶表示パネルは、その表示品質が CRT (cathode-ray tube) に匹敵する程度に向上してきたことが認知されているが、未だ、配線の断線、短絡、あるいは TFT のトランジスタ特性分布の不均一など、製造工程中の歩留りが低いのが実情であり、これを解消しなければならない。

【0003】一般に、マトリクス状に配線した複数の TFT を基板上に形成する場合に、工業生産として成立り立つプロセスでは、7~8枚のマスクを使用するバーニング工程が必要である。現在、a-Si を用いる TFT のマトリクスの製造プロセスは、チャネル保護膜を使用する通常エッチングストップ型とチャネル保護膜を使用しない通常チャネルエッチング型とに別される。エッチングストップ型の TFT の構造に関する文献としては、例えば F. Funada et al., SID 1986 DIGEST pp. 29 3-295 があり、また、チャネルエッチング型の TFT に関する特許公開公報としては例えば特開平1-29356 67号公報がある。

【0004】図 5 0 ~ 図 5 6 は、従来の技術を解説するための工程要所におけるエッチングストップ型の TFT マトリクスの要部説明図であり、それらの図において (A) は要部平面図、(B) は X-X' に沿う断面図をそれぞれ示している。そして、要部平面図 (A) においては、簡明にするために、種層されている各一部を省略して図示したものである。

【0005】以下、これらの図を参照しながら製造工程を説明するが、ここで対象としているのは、アモルファスシリコン (a-Si) を半導体活性層として用いた逆スクリガーモードゲート TFT をスイッチング素子としてマトリクス状に配置した TFT マトリクスである。まず、図 5 0 に示す状態になるまで説明する。

【0006】最初に、ガラスなどの透明絶縁体からなる基板 1 上に TFT 膜を形成する。ついで、リソグラフィー技術におけるレジストプロセス及び活性イオン・エッチング (RIE (reactive ion etching)) 法を適用し、その TFT 膜をバーニングして図 5 0 (A) に示すようなゲート電極 2 及びゲートバスライン (走査バス・ライン) 3 を形成する。

【0007】さらに、図 5 0 (B) に示すように、空化シリコン (SiN) からなるゲート絶縁膜 4、a-Si からなる活性層 5、空化シリコン (SiN) からなるチャネル保護膜 6 を形成する。次に、リソグラフィー技術としてレジスト・プロセスとウェットエッチング法を適用してチャネル保護膜 6 をバーニングし、図 5 1 に示すように、ゲート電極 2 よりも幅が狭いチャネル保護膜 6 をゲート電極 2 の上にのみ残すようにする。

【0008】この後に、全面に n+ - a-Si からなる電極コンタクト層 7 を形成する。ついでレジスト・プロセスと RIE 法を適用して電極コンタクト層 7 及び活性層 5 をバーニングする。これによって、電極コンタクト層 7 及び活性層 5 は、図 5 2 に示すように、アライド化される。この後に、全面に TFT 膜を形成する。ついで、リソグラフィー技術としてレジスト・プロセス並びにプラズマエッチング法を適用し、その TFT 膜をバーニングして図 5 3 に示すようにソース電極 8 とドレイン電極 9 及びドレイン・バス・ライン (信号バス・ライン) 10 を形成する。

【0009】次に、リソグラフィ技術としてレジスト・プロセス及びプラズマエッチング法を適用し、ゲート・バスライン 3 の端にある図 5 5 に示すゲートバス端子部 3 A を複数ゲート絶縁膜 4 を選択的にエッチングして開口を形成する。この後に、全面に ITO 膜 (indium tin oxide) 膜を形成する。さらに、リソグラフィ技術としてレジスト・プロセス及びウェットエッチング法を適用することにより、その ITO 膜をバーニングして図 5 4 に示すソース電極 11 と図 5 5 に示すゲートバス端子 12 を形成する。

【0010】この後に、図示しない最終保護膜を形成しこれをリソグラフィ技術によりバーニングする必要がある。ここまでフォトレジストのマスクの枚数は 7 である。上述した工程において、バスラインの低抵抗化が要求される場合には、後述するようにバスラインのみを別途バーニングすることもあり、これによってさらにはバーニング工程は増加する。

【0011】ここで、バス・ラインの低抵抗化について説明しよう。一般に、バス・ラインにおいて要求される抵抗値は、例えば約 2.6 Ω (10.4インチ) 中精細カラーバニカル (ゲート: 4.80 ライン、ドレイン: 6.40 × 3 ライン) において、ゲートバスラインは 2.0 kΩ 以下、ドレインバスラインは 3.5 kΩ 以下である。

【0012】この要請は、ポケット型テレビジョン用や投射型テレビジョン用などのように大型のものについては要求が緩く、ワークステーション用や HDTV 用などのように大型のものについては要求が厳しくなる。本発明が対象としているような下ゲート・スクガード型の TFT 構造の場合、ゲートバスラインの方が低抵抗化について要請は厳しいのでもあるが、①ゲート絶縁膜の下層になるので厚くすることができない、②ゲートバスラインの最上層に低抵抗材料のアルミニウムを用いること、その後に高抵抗プロセスで絶縁膜を形成することによりゲートバスラインにヒックやホイスカなどが発生し、絶縁性を確保できない、③ゲート電極材料を厚くする場合、データエッチングのような特殊な技術を用いることが必要となる、などの問題が起こる。

(5)

特開平6-310533

8

【0013】このような問題を回避するための一手段として、アルミニウムを最下層にしてゲートバスラインを形成した後に、そのアルミニウムからなるゲート・バスラインを完全に復元するように、TiやAlなどの高融点金属からなるゲート・バスライン兼ゲート電極を形成する場合があり、これが、前記した別途バーニングに相当するものである。

【0014】なお、下ゲート・スタガード型の場合、ドレインバスラインはゲートバスラインの上部になることにより、要求される抵抗値がゲートバスライン過度しきないことなどから、通常は別バーニングを必要としないが、選択エッチング性やエッチング・シフトの制御など、プロセス上の要求や断線に対する冗長構成を得るために多層化する場合があり、その際には、当然、別バーニングが必要となる。

【0015】

【発明が解決しようとする課題】図50～図55について説明した従来の技術においては、7、8枚のマスクを使用するバーニング工程が必要となり、製造歩留りに大きく影響するので、1回でも少ないほうが望ましい。そこで、①チャネル保護膜を用いない、②a-Si層のアイランド化と、ソース電極、ドレイン電極及びドレインバスラインのバーニングとを同時に行う、③ゲート端子部を露出させるためのエッティングや最終保護膜をマスクデポジションすることによりバーニングを省略するなどの工夫がなされてきた。

【0016】しかしながら、前記①～③のいずれにおいても、次に説明するように何らかの問題が発生する。前記の場合には、TFTはチャネルエッティング型となるが、これによればチャネル層であるノード-a-Si1とコンタクト部であるn<sup>-</sup>-a-Si1を連続成膜することからグラズマ化学気相堆積工程が少なくなること、また、チャネル保護膜をアイランド化する必要がないからバーニング工程が一工程少なくてなるなどの利点がある。

【0017】しかしながら、a-Si1とn<sup>-</sup>-a-Si1との複層膜のうちn<sup>-</sup>-a-Si1のみを選択的除去することが必要となるが、両者は選択エッティングすることができないから、a-Si1は予め厚く形成しておかなければならず、a-Si1が厚ければ、成膜装置のクリーニング・サイクルが短くなって稼働率が低下したり、また、光電導によってTFTのオフ電流が上昇するなどの問題が生じる。

【0018】また、④に関しては、a-Si1とn<sup>-</sup>-a-Si1とドレイン・バス・ライン用メタルの堆積膜を連続的にバーニングした後、同業電極を構成するITO膜によりソース電極をカバーして、これらの電極を電気的に接続する必要があるが、a-Si1等を堆積膜を順テープ形状にエッティングしなければその上にシリコナによりITO膜断線のおそれがわきめで大きくなる。特に、ドレインバスラインを低抵抗化するために膜厚を厚くすれば、さらに段差切れが起こり易くなるといった問題がある。

【0019】さらに、⑤に関しては、最終保護膜は、TFT防護を目的として形成するので、必ずしも一回素毎に端子部を形成することは必要ない。その結果が不可欠であるのは、端子部なのであるが、その部分のパターンは、比較的粗であることから、最終保護膜を成膜する際に、基板上にメタル・マスクを介押して端子部のみ成膜しない手段（マスクデポジション）を探ることができるのである。

【0020】しかしながら、当然のことながら成膜工程は複雑化し、端子部とメタルマスクの間に最終保護膜が回り込んで、端子の接触不良の問題を生ずることになる。本発明はこのような問題に鑑みてなされたものであって、その目的とするところは、リソグライマー工程で使用するフォトマスクの枚数を低減させて歩留りを向上することができるTFTマトリクス製造方法を提供することである。

【0021】

【課題を解決するための手段】上記した課題は、図2～図9に示したように、透明絶縁体基板21の上面に、ゲート電極22と該ゲート電極22に隣接するゲートバスライン23を形成する工程と、前記ゲート電極22及び前記ゲートバスライン23を復元するゲート電極24、半導体活性層25及びチャネル保護膜26を順に前記透明絶縁体基板21の上に成膜する工程と、前記ゲート電極22の粒界に対応する位置の内側にレジストバーナー27を形成する工程と、前記レジストバーナー27をマスクにして、前記チャネル保護膜26を前記半導体活性層25をエッティングし、さらに前記チャネル保護膜26の輪郭が前記半導体活性層25の輪郭よりも内側になるバーナーを形成する工程と、前記レジストバーナー27を除去した後に、前記チャネル保護膜26の輪郭から外側に露出されている前記半導体活性層25に不純物を導入してコンタクト領域25Aを形成する工程と、圓錐電極材料及び金属膜よりなる複層膜を形成して該複層膜をバーニングすることにより、前記コンタクト領域25Aに接続し且つその上で分離されるソース電極28及びドレイン電極29と、該ドレイン電極29に接するドレインバスライン30とを形成し、前記ソース電極28に接する圓錐電極材と前記層層膜を残し、統合して、前記ソース電極28及び前記ドレイン電極29からはみ出た前記コンタクト領域25Aをエッティングにより除去する工程と、前記圓錐電極材に存在する前記金属膜を除去することにより前記圓錐電極材膜からなる圓錐電極31を露出させる工程とが含まれていることを特徴とする複層トランジスタ・マトリクスの製造方法により達成する。

【0022】または、図3～図43透明絶縁体基板21の上面に、ゲート電極22と該ゲート電極22に隣接するゲートバスライン23を形成する工程と、前記ゲート電極22及び前記ゲートバスライン23を復元するゲート電極24、半導体活性層25及びチャネル保護膜26を順に前記透明絶縁体基板21の上に成膜する工程と、前記チャネル保護膜26の上に

50  
51  
52  
53  
54  
55

(6)

特許平6-310533

9

ポジ型レジスト70を複数し、該ポジ型レジスト70を露光、現像することにより、前記ゲート電極22とその両側の周辺に該ポジ型レジスト70を残存させる工程と、パターニングされた前記ポジ型レジスト70をマスクにして、前記チャネル保護膜26及び前記半導体活性層25をバーナーニングする工程と、前記透明絶縁基板21の下面側から光を照射し、前記ゲート電極22をマスクにして前記ポジ型レジスト70を露光し、ついで現像して、前記ポジ型レジスト70をゲート電極22に沿った形状のパターンにする工程と、前記二皮目の露光及び現像を繰り返して前記ポジ型レジスト70をマスクにして前記チャネル保護膜26をバーナーニングし、前記ゲート電極22の両側にある前記半導体活性層25を露出させる工程と、前記レジストバターン27を除去した後に、前記チャネル保護膜26から露出している前記半導体活性層25に不純物を導入してコンタクト領域25Bを形成する工程と、同素電極材料膜及び金属膜よりもなる複層体を形成して該複層体をバーナーニングすることにより、前記コンタクト領域25Bに接続し且つその上で分離されるソース電極75及びドレイン電極76と、該ドレイン電極74に繋がるドレインバスライン76を形成するとともに、前記ソース電極75に繋がる同素電極に前記複層体を残す工程と、前記同素電極に存在する前記金属膜を除去することにより前記同素電極材料膜からなる露光電極77を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

【0023】または、図4~44~49に示すように、透明絶縁基板21の上面に、ゲート電極50と該ゲート電極50に導通するゲートバスライン61を形成する工程と、前記ゲート電極50及びゲートバスライン61を露出させた絶縁部61、活性層となる第一の非晶質半導体膜62および炭素又は空素を含む第二の非晶質半導体膜63を前記透明基板21の上に順に成膜する工程と、前記ゲート電極50の輪郭に対応する位置の内側にレジストバターン64を形成する工程と、前記レジストバターン64をマスクにして前記第一の非晶質半導体膜62と前記第二の非晶質半導体膜63をバーナーニングし、前記ゲート電極50の上方に残存させる工程と、前記レジストバターン64を除去した後に、前記第二の非晶質半導体膜63の上層部に不純物を導入してコンタクト領域65を形成する上記と、同素電極材料膜53及び金属膜54よりもなる複層体を形成して該複層体をバーナーニングすることにより、前記コンタクト領域65に接続し且つその上で分離されるソース電極55及びドレイン電極59と、該ドレイン電極56に繋がるドレインバスライン57とを形成し、前記ソース電極55に繋がる同素電極に前記複層体を残し、焼いて、前記ソース電極55及び前記ドレイン電極59からはみ出た前記コンタクト領域65をエッティングにより除去する工程と、前記同素電極に存在する前記金属膜54を除去して前記同素電極材料膜53により形成される同素電極58を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクス。

10  
スの製造方法により達成する。

【0024】または、図2~図9に示すように、前記透明基板に同素電極31、58、77を露出させる工程の前に、全面に最終保護膜32、67、78を形成する工程と、前記同素電極31、58、77の上とドレインバス端子部及びゲートバス端子部とにおいて前記最終保護膜32、67、78をエッティングして開口部を形成する工程と、前記開口部内に前記ゲート絶縁膜24、61が表出されている部分においては前記ゲート絶縁膜24、61を除去し、前記複層体の前記金属膜が表出されている部分においては前記複層膜を除去する工程とが含まれてなることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0025】または、図3~図8に示すように、

前記透明絶縁基板21の上の前記ゲート電極22、50及び前記ゲートバスライン23、51は、第二の同素電極材料膜47と第二の金属膜48からなる第二の複層体をバーナーニングして形成されるとともに、前記ゲートバスライン23、51の端部に形成されるゲートバス端子部52は、前記第二の同素電極材料膜47により形成され、該ゲートバス端子部52の上の前記第二の金属膜48は、前記ゲート絶縁膜24、61の上に形成される前記複層体の前記金属膜を除去することにおいて同時に除去されることを特徴とする。

【0026】または、図10に示すように、前記半導体活性層25、63に不純物を導入してコンタクト領域25A、25B、65を形成する工程は、3倍又は5倍の水素化物、3倍又は5倍のフッ化物のいずれかを含むガスと不活性ガスとの混合ガスを導入した窒素気の減圧下で発生されたガラスマの空間に前記半導体活性層25、63をさらす工程であることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0027】または、図14に示すように、前記5

倍の水素化物又は前記5倍のフッ化物は、水の水素化物又はフッ化物であり、前記コンタクト領域25A、25B、65の発煙度が  $5 \times 10^{-4} \sim 5 \times 10^{-1} / \text{cm}^2$  の範囲にあることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。または、図17に示すように、前記半導体活性層25、63を前記ガラスマの空間にさらして前記コンタクト領域25A、25B、65を形成した後、前記コンタクト領域25A、25B、65の表面を洗浄せずに前記コンタクト領域25A、25B、65の上にソース電極55及びドレイン電極56を形成することを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0028】または、図15に示すように、前記コンタクト領域25A、65を形成する工程から、前記ソース電極28、55及び前記ドレイン電極29、56を形成するための前記複層体を堆積する工程までは、該窒素気の中で連続してなされる工程であることを特徴とする薄膜ト

—220—

(7)

特開平6-310533

11

ンジスタ・マトリクスの製造方法により達成する。または、図1 8、1 9に示すように、前記ゲート電極22、50の船部に対応する位置の内側に前記レジストバグーン27、64を形成する前記工程は、前記透明絶縁膜体基板21の上面側に隔壁されたボジ型レジストに基板下西側から光を照射し、前記ゲート電極22、50及び前記ゲートバスライイン23、51をマスクにして該ボジ型レジストを露光する工程であることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0 0 2 9】または、図2 0～図2 7に示すように、前記ゲート電極22と前記ゲートバス等23の境界部分にはゲート長方向に幅の狭い取り込み部分22Aが形成され、該取り込み部分22Aの上に形成される活性層25は、ソース電極28及びドレイン電極29からみて出ているコンタクト層25Aを除むる原に同時に除去されることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0 0 3 0】または、図2 8～図3 3に示すように、透明絶縁膜体基板21の上面に、島状の透明導電膜41を介して電気的に接続される不透明なゲート電極22と不透明なゲートバスライイン23を形成する工程と、前記ゲート電極22及び前記ゲートバスライイン23を複数うゲート絶縁膜24及び半導体膜25を前記透明基板21の上に形成する工程と、前記半導体膜25の上方にボジ型レジスト27を露布する工程と、前記透明絶縁膜体基板21の下面側から光を照射し、前記ゲート電極22と前記ゲートバスライイン23をマスクに使用することにより、前記ボジ型レジスト27を露光する工程と、現像処理により、前記ボジ型レジスト27を前記ゲート電極22と前記ゲートバスライイン23の上に分離して残存する工程と、前記ボジ型レジスト27のバグーンに覆われない部分の前記半導体膜25をエッチングすることにより、前記半導体膜25を分離させて前記ゲート電極22と前記ゲートバスライイン23の上に残る工程とを有することを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0 0 3 1】または、前記ゲート電極22と前記ゲートバスライイン23を構成する前記島状の透明導電膜41は、前記透明絶縁膜体基板21の上面に形成されるキャバシヤ用の下側電極40と同一工程でバターニングされていることを特徴とする薄膜トランジスタ・マトリクスの製造方法によって達成する。

【0 0 3 2】

【作 用】以上述べたように本発明によれば、第一段階として、ゲート電極とゲートバスライインのバターニング、第二段階として、ゲート電極の上にトランジスタの活性層のバターニング、第三段階として、少なくとも開素電極、ソース電極、ドレイン電極及びドレインバスライインのバターニング、第四段階として、開素電極、ドレインバスライイン端子部及びゲートバス端子部の上の膜を除去するバターニングをしている。この四つの段階のバ

12

ターニングのためには4枚目のフォトマスクを使用すれば足りることになる。

【0 0 3 3】また、他の本発明に上れば、透明絶縁膜体基板の下面から光を当ててゲート電極及びゲートバスライインをマスクにしてレジストを露光するようしているので、活性層のバターニングの際にフォトマスクを省略でき、しかも、そのバターニング精度は良くなる。このような手段を採用することにより、薄膜トランジスタ・マトリクスの製造工程のリソグラフィー工程に使用されるオットマスクの枚数は著しく減少する。

【0 0 3 4】したがって、薄膜トランジスタ・マトリクスの製造歩留り、ひいては液晶表示パネルの製造歩留りを大きく向上させることができになり、そのコスト低下に寄与するところは大きい。

【0 0 3 5】

【実施例】本発明の実施例の説明に先立ち、液晶表示パネルのTFTマトリクスの等価回路図を図1に基づいて説明する。TFTマトリクスは、基板の上に平行に複数本形成されるゲートバスライインGBと、このゲートバスライインGBに直交する方向に平行に複数本形成されるドレインバスライインDBとを有し、ゲートバスライインGBとドレインバスライインDBの各交差領域近傍には薄膜トランジスタと透明な開素電極P-Xとが配置される。その薄膜トランジスタとのゲート電極はゲートバスライインGBに接続され、そのドレインはドレインバスライインDBに繋がり、さらに、そのソースは開素電極P-Xに接続される。

【0 0 3 6】なお、ゲートバスライインGBとドレインバスライインDBは接続しないように絶縁膜を介して交差される。そこで以下に、本発明の実施例としてTFTマトリクス回路の一部を取り上げて説明する。

(a) 本発明の第1実施例の説明

図2～図9は、本発明の第一実施例を解説するための工程要所におけるTFTマトリクスの要部説明図であり、図中(A)は要部平面、(B)はX-Y軸に沿う断面をそれぞれ表し、要部平面(A)では、簡明にするために積層されている層の表示を一部省略したものがある。以下、これらの図を参照しつつ詳細に説明する。

【0 0 3 7】図2に示すまでの工程を説明する。まず、40スパッタリング法を適用することにより、ガラス等の透明絶縁体からなる基板21上に厚さ例えば3.0 μmのTi膜を形成する。リソグラフィ技術としてのレジストプロセス並びにエッチング・ガスとしてBCl<sub>3</sub>とCl<sub>2</sub>を使用するRIE法を適用することにより、前工程で形成したTi膜をバターニングしてゲート電極22とゲートバスライイン23を形成する。

【0 0 3 8】次に、ベースガスをSiH<sub>4</sub>とするプラズマ化學気相堆積(plasma chemical vapour deposition: P-CVD)法を適用することにより、厚さ例えば4.0 nmのSiNからなるゲート絶縁膜24と、厚さ例えば1.5 nm

(8)

特開平6-310533

13

14

～5.0 nmのa-Siからなる活性層25と、厚さ例えば1.2 nmのSiNからなるチャネル保護膜26を順に形成する。

【0039】次に、図3に示すまでの工程を説明する。まず、リソグラフィ技術におけるレジストプロセスを適用することにより、ゲート電極22上にのみゲート電極22よりも幅が狭いチャネル保護膜26を残すためのパターンをもつレジスト膜27を形成する。そして、エッティングガスとしてBCl<sub>3</sub>とCl<sub>2</sub>の混合ガス、あるいはCr<sub>x</sub>O<sub>y</sub>との混合ガスを使用するRIE法を適用することにより、チャネル保護膜26及び活性層25を気圧的にエッティングして、ゲート電極22よりも幅が狭い形状にバーニングする。なお、この場合のバーニングは、レジスト膜27のエッジからその内方にサイドエッティングができる限り進まないように抑制することが望ましい。これにより、垂直方向にエッティングして、レジスト膜27のパターンを正確に転写するようにする。

【0040】次に、図4に示すまでの工程を説明する。まず、エッチャントとしてヒフ化水素酸系エッティング液を使用するウェットエッティング法を適用することにより、レジスト膜27を残した状態で、チャネル保護膜26のみを等方性エッティングする。この等方性エッティングでは、レジスト膜27が存在していることから、チャネル保護膜26はサイドエッティングされることになり、そのサイドエッティング量は、例えば1 μm～2 μmである。

【0041】この等方性エッティングの際に、チャネル保護膜26とはエッチャントが同じであるSiNからなるゲート絶縁膜24が突出されるが、これは、SiN層をP-CVD法で成膜する際の条件を適切に選択することでヒフ化水素酸系エッティング液に対するエッティンググレードを大きく変化させることができるので、問題は起ららない。

【0042】具体的には、チャネル保護膜26を構成するSiNを成膜する際に、基板21の温度を低く維持する、ソースガスの希釈ガス（例えばPH<sub>3</sub>やN<sub>2</sub>など）のうちのH<sub>2</sub>ガスの流量比率を小さくする、あるいは、ソースガス（SiH<sub>4</sub>、N<sub>2</sub>H<sub>4</sub>）のうちのSiH<sub>4</sub>の流量比率を小さくする、などの手段を探ることでチャネル保護膜26のエッティンググレードを大きくすることができます。

【0043】なお、本工程、即ち、チャネル保護膜26のサイド・エッティングは、チャネル保護膜26及び活性層25をメサ状にバーニングしてから行っているが、活性層25のバーニングを行うことなく、チャネル保護膜26のみを始めから等方性エッティングし、その後バーニング及びサイド・エッティングを連続して行い、その後、レジスト膜27をマスクとする活性層25の異方性エッティングを行うようにしてもよい。何れにせよ、チャネル保護膜26のサイドエッティングを確実にするためにには、前記の手段を探って、チャネル保護膜26のエッチ

ンググレードをゲート絶縁膜24のそれに比較して大きくしておくことが肝要である。

【0044】次に、図5に示すまでの工程を説明する。まず、レジスト剥離液中にレジスト膜27を浸漬してこれを除去してから、オスマイン（Ph<sub>3</sub>）を含むガスの放電空間に導すことにより、チャネル保護膜26の周辺に突出された活性層25の最部に焼をドープし、n<sup>-</sup>-a-Siからなる電極コントラクト層を2.5 Åを形成する。

【0045】その焼のドーピング方法は、TFTマトリクスを製造する場合に多用されているP-CVD装置を用いて実施することができる可能であるから大変簡便な手段である。その他の手段としては、活性層25の表出した部分に選択的に不純物を導入することができ、かつ活性化することができる技術であれば何れを採用してもよい。

【0046】ちなみに、焼の気相ドーピング方法を例示すると、次の3つがある。

(1)通常の平行平板型P-CVD装置中に基板を入れてPH<sub>3</sub>を含むガス（例えばPH<sub>3</sub>と、H<sub>2</sub>、Ar、H<sub>2</sub>Sなどの希釈ガス）の放電空間に導く方法（本実験例で採用した方法）。この方法については、第2実験例として詳述する。

(2)焼イオンのみを質量分析で分離抽出して用いる通常の焼イオン注入法。

【0047】(3)例えば、PH<sub>3</sub>とH<sub>2</sub>の混合ガスなどのプラズマスースから質量分析による分離無しでイオンを抽出し、プラズマ空間から離れた場所におかれた基板に電界加速してイオン注入する方法（イオンシャワー）。この場合、焼イオンの他に粒度のイオンが注入される（その一例として特開昭6-3194326号公報を参照）。

【0048】その他の、チャネル保護膜26から露出した活性層25にn<sup>-</sup>シリコン層を成長してコントラクト領域を形成する方法もあるが、これによればバーニングを行って回路部となる領域のn<sup>-</sup>シリコン層を除去する必要があり、マスク工程が増えることになるので適当でない。なお、電極コントラクト領域25Aへの不純物導入をイオンシャワーで行った場合には、次の工程に移る前に、薄いヒフ化水素酸系エッティング液によるスライド・エッティングを行ったり、あるいは、H<sub>2</sub>プラズマ処理を行ってn<sup>-</sup>-a-Siからなる電極コントラクト領域25A表面の自然酸化膜を除去してもよい。

【0049】次に、図6に示すまでの工程を説明する。まず、スパッタリング法を適用することにより、厚さが例えば8.0 nmのITO膜と厚さが2.0 nmのMo膜を順に形成する。なお、Mo膜は他の金属膜、例えばCr膜に代替することができる。この後に、リソグラフィー技術のレジストプロセスを適用することにより、両電極、ソース電極、ドレイン電極、ドレインバスラインの各形成領域を複数パターンのレジスト膜（図示せず）を形成してから、エッティング・ガスとして例えばBCl<sub>3</sub>とCl<sub>2</sub>の混合

(9)

特開平6-310533

15

16

ガス 成いは $S_2$  ガス成いは $C_2$  と $O_2$  の混合ガスなどから選択したガスを用いてプラズマエッチング法を適用することにより、Mo膜をバーニングする。

【0050】なお、静電気によるダメージを受けることが懸念される場合には、エッチャントを磷酸系エッティング液とするウェットエッティング法を適用してMo膜をバーニングしてもよい。次に、そのレジスト膜をマスクにしてそのまま使用し、エッチャントを $BCl_3$  と $BF_3$  の混合液、成いは $HCl$  と $FeCl_3$  の混合液を用いるウェットエッティング法を適用することにより、ITO膜をバーニングする。

【0051】続いて、そのレジスト膜をマスクとして、エッチャントガスを $BCl_3$  と $Cl_2$  の混合ガスとするRIE法を適用することにより、前記マスクからみ出ている電極コントタクト領域2 2 Aの不用部分をエッティング除去する。これにより、ソース電極とドレイン電極の溝が削除されることになる。この後に、マスクとしてレジスト膜を除去する。

【0052】以上の工程を経ることにより、ITO膜表面びにMo膜からなる二層膜で構成されたソース電極2 2 B、同じくその二層膜で構成されたドレイン電極2 2 C、同じくその二層膜で構成されたドライバーパスライン3 0、およびITO膜からなる耐圧電極3 1が形成されたことになる。次に、図7、8、9に示す状態までの工程を説明する。

【0053】まず、P-CVD法を適用することにより、全面に厚さ例えば3 00 nmのSiNからなる最終保護膜3 2を形成する。ついで、リソグラフィー技術におけるレジストプロセスを適用し、さらに、エッチャントをファブリ水素酸系エッティング液とするウェットエッティング法を適用することによって最終保護膜3 2のバーニングを行う。

【0054】これにより、最終保護膜3 2は所定の形状となり、耐圧電極3 1上ではMo膜が露出され、そして、図8に示すドライバーパス端子部ではドライバーパスライン3 0の一部を構成しているMo膜がそれぞれ露出されている。また、図9に示すゲートバス端子部ではゲートバスライン2 3を構成しているTi膜が露出される。なお、ゲートバス端子部では最終保護膜3 2の上にゲート絶縁膜2 4もエッティングしなければならないが、前記工程で説明したように、ゲート絶縁膜2 4はファブリ水素酸系エッティング液に対してエッティングレートが小さくなるようにならざるを得ない。そこで、最終保護膜3 2と同時にエッティングすることはできない。

【0055】そこで、その後に、 $C_2$  と $O_2$  を含む混合ガスをエッティングガスとするCDE(chemical dry etching)装置を用いたプラズマ・エッティング法を適用することにより、耐圧電極3 1上のMo膜と、ドライバーパス端子部におけるMo膜とゲート電極2 4を除去する。ちなみに、 $C_2$  と $O_2$  を含む混合ガスを用いるCDE法では、Mo

及びSiNのエッティングレートを高くし、その下地であるTiからなるゲート電極2 2に対してエッティングレートを低くすることができます。また、MoはSiO<sub>2</sub>を含まないファブリ水素酸系エッティング液には耐性がある。

【0056】前記工程の説明から明らかであるが、最終保護膜3 2のバーニングから完成までのプロセスは、前記工程におけるレジストプロセスで形成されたレジスト膜をマスクして実施されたものであることが理解されよう。図2～図9について説明した第一実施例では、10 全工程を4枚のフォトマスクを用いて完了しているので、従来の技術に比較すると、3枚～4枚も少なくなっている。

【0057】また、①ITO膜のみで構成されたドライバーパスラインとTF Tマトリクスを駆動可能にする設計の場合、②不透明な表示要素で表示可能である例えば反射型パネルに応用する場合、③端子部の構造上に絶縁膜が形成されないようにマスク成膜を併用した場合、などの条件を組み合わせると、必要なレジストマスクは更に1枚少くなり、3枚でTF Tマスクを完成功能することができる。例えば、条件①成いは②成条件③を組合せると、レジストマスクは、ゲートのバーニング、チャネル保護膜のアイランド化、ソース電極、ドレイン電極、耐圧電極、ドライバーパスラインのバーニングの8枚で済んでしまう。

【0058】前記とは逆に、図9に示すゲートバス端子部にもITO膜を用いて、使用材料をドライバーパスラインと同一にした場合には、ソース電極及びドレイン電極の電極材料膜を成膜する前にゲートバス端子部(図8参考)におけるゲート絶縁膜を除去する必要が必要となつて、その分だけマスクの枚数が増加し、全部で5枚になってしましが、それでも、従来の技術によった場合と比較すれば少ないことになる。

(b) 本発明の第2実施例の説明  
第1の実施例では、図4に示したようなコントタクト領域2 2 Aを形成する方法として、3つの溝のドーピング法を提案した。

【0059】しかし、大型のガラス基板を使用する場合に、イオン注入法、電界によるイオン加速法によれば陽イオンを均一に導入することは難しい。また、イオン注入法によれば、活性化するためのアニールが必要となるが、その温度はガラス基板の融点を考慮して設定されるために、その温度制御が制限される。また、3 00 °C以上のアニール上にすれば、e-Si膜に含まれる水素が抜けでトランジスタ特性が劣化するので、それ以下の温度に抑える必要がある。

【0060】これに対して、平行平板型のP-CVD装置を使用するプラズマドーピング法によれば、大面积でも均一に不純物ドープすることができ、しかも、不純物を活性化するためのアニール処理は不要となる。その装置としては、図10に示すような平行平板型の一般的な

(10)

特開平6-310533

17

プラズマCVD装置を使用する。この装置は、反応室Cの中に一対の電極P1, P2を配置するとともに、一方の電極P1側にヒータHを有している。そして不純物をドープする場合には、ガラス基板21をヒータH側の電極P1の上に取付け、ヒーターIIによりガラス基板21を加熱して基板温度を300°C以下、好ましくは200°C~250°Cに設定する。

【0061】また、排気口G0からガスを抜いてチャンバC内を減圧した後に、アルゴンガス( $Ar$ )とホスフィン( $Ph_3$ )の混合ガスをガス導入口G1からチャンバC内に導入する。 $Ph_3$ の流量は $Ar$ に対して5%以下とする。この場合、アルゴンの他の不活性ガス、例えばオネン( $N_e$ )、ヘリウム( $He$ )をベースにしてホスフィン( $Ph_3$ )を反応室Cに導入しても同様な結果が得られるが、水素をベースにするとa-Siよりも活性層25がエッティングされ溝は生じられないものと想定しない。

【0062】また、ガス圧力は0.1~2.0Torrの範囲で削減し、また、電極P1, P2に印加する高周波電力 $R_f$ の周波数は13.56MHz、供給電力を1kW以下として、電極P1, P2の間にプラズマを発生させる。これによれば、コンタクト領域25Aを構成するn+型a-Si膜の導電率は、ガス圧力、投入電力等に依存する。例えば $Ph_3$ の流量は $Ar$ に対して0.5%としてガス圧力と導電率の関係を示すと図1に示すようになり、圧力が高いほど注入量が増えて導電率が大きくなることがわかる。

【0063】そして、ガス圧1.0Torrにして図5に示すようなコンタクト領域25Aを形成したところ、図7に示すTFTのドレン電流・ゲート電圧特性は、図12に示すようになった。この場合、チャネル幅Wとチャネル長Lの割合は $W/L = 8.0/2.0$ である。このように、a-Si膜に溝が注入され、高い導電率を示し、優れたトランジスタ特性が得られたのはTFTでは初めてのことである。

【0064】ところで、プラズマによって発生したn型イオンのエネルギーは小さく、単結晶シリコンには十分な量は注入されないので、P-CVD装置を使用する不純物ドープは、本実施例のように水素を含むa-Siのような結晶構造に特有なものである。次に、ベースとなるアルゴンガスにホスフィンを0.5%の流量で加えてプラズマドーピングをした場合のドーズ量の効率値と、導電度の最適値について説明する。

【0065】例えば、厚さ150Åのa-Siよりなる活性層25の両側部の電極コンタクト領域25Aへのプラズマドーピングによるドーズ量とTFTのオノン電流との関係を測定し、これによりドーズ量の最適値を求める。その関係を示すと、図13のようになり、ドーピングの際のガス圧が1.0Torrの場合には、ドーズ量が $0.5 \times 10^{14} \sim 1.5 \times 10^{15} / \text{cm}^2$ の範囲でTFTのオノン電流が約0.3~0.4mAと高くなるが、それ以外の

(10)

18

範囲ではそのオノン電流は低くなかった。0.3Torrの場合には、ドーズ量が $0.1 \times 10^{14} \sim 1.0 \times 10^{15} / \text{cm}^2$ の範囲で同じような高いオノン電流が得られた。

【0066】これらは、チャネル幅Wとチャネル長Lの割合を $3.0 \mu\text{m} / 3.0 \mu\text{m}$ 、ゲート電圧を30V、ドレン電圧を1Vとした場合の値である。なお、ドーズ量は、活性層25に導入された不純物の面密度量である。プラズマドーピングによるドーズ量はドーピング時間により制御できるので、そのドーズ量とドーピング時間の関係を実験で求めたところ、図14の(a)に示すような関係が得られた。

【0067】ドーズ量は、プラズマドーピングの際のガス圧、投入電力に依存する。例えば、投入電力を0.17W/cm<sup>2</sup>とした場合のガス圧の違いによるドーズ量を調べたところ、ガス圧が1.0Torrの場合には、オノン電流が高くなるドーズ量 $0.5 \times 10^{14} \sim 1.5 \times 10^{15} / \text{cm}^2$ を得るためにには30分以下の時間が必要となった。これに対し、ガス圧を0.3Torrにしたところ、1.5分よりも短い時間で同じ範囲のドーズ量が得られた。なお、投入電力を大きくすれば、ドーズ時間の短縮が図れることがわかった。

【0068】一方、投入電力を0.17W/cm<sup>2</sup>として、導電度のピーク値とドーピング時間の関係を実験で求めたところ、図14の(b)に示すような結果が得られた。これと図14の(a)の関係を考慮合わせると、オノン電流が高くなる導電度のピーク値は、ガス圧1.0Torrで $1 \times 10^{14} \sim 7 \times 10^{15} / \text{cm}^2$ となる。 $5 \times 10^{15} / \text{cm}^2$ でも比較的高いオノン電流が得られる。

【0069】以上は、アルゴンガスをベースにしてホスフィンを導入したが、それ以外の不活性ガス、例えばヘリウム、オネンをベースにしても、ほぼ同様な結果が得られる。なお、プラズマドーピングの際に、ベースガスにB<sub>2</sub>H<sub>6</sub>のようないかの水素化物、或いはBF<sub>3</sub>のような3価のフッ化物を用いてもよく、これによれば、電極コンタクト領域25Aはp型化する。

【0070】なお、上記した説明ではホスフィンと不活性ガスをチャンバ内に導入しているが、3価又は5価の水素化物、3価又は5価のフッ化物のいずれかを含むガスと不活性ガスとの混合ガスであればよい。3価の水素化物、或いは3価のフッ化物を用いれば、電極コンタクト領域25Aはp型化する。

#### (c) 本発明の第3実施例の説明

一般に、不純物のドーピングソース・ドレン電極用のメタル形成は別の装置で行われる。例えば第2実施例で説明したように、基板をP-CVD装置からスパッタ装置に移すと、a-Siよりなる活性層25の表面が大気中に曝されて不純物に汚染されることがある。

【0071】これを解決するためには、活性層25の両端にコンタクト領域25Aを形成してからソース・ドレン電極の形成までを真空を破らずに連続して成膜する

(11)

特許平6-310533

19

装置、例えば図15に示す構成の装置を用いればよい。この装置は、基板を設置する仕込み室C1と、その基板を外部に取り出すための取り出し室C6とを有し、これらの中には、基板の搬送廊に沿って昇温室C2、プラズマCVD装置の反応室C3、第一のスパッタ装置の反応室C4、第二のスパッタ装置の反応室C5が接続されており、これらの接続部分には真空状態を破らずに基板を搬送するための基板搬送口には密閉可能なシャッタS1～S6がそれぞれ取付けられている。

【0072】さらに、各室C1～C6には内部のガスを排気するための排気口EX1～EX6と、内部に反応ガスを導入するためのガス導入口N1～N6が取付けられている。プラズマCVD装置は、平行平板型であり、高周波電源RFに接続される一対の電極P1、P2とヒータH2を有している。

【0073】また、第一と第二のスパッタ装置の各反応室C4、C5内には、それぞれ直流電源に接続される一対の電極P3、P4が配置され、その陰極には成膜材料のターゲットが取付けられている。なお、図中符号S1～S6は、仕込み室C1の入り口に取付けられるシャッタ、S7～S9は、取り出し室C6の出口に取付けられるシャッタ、H2は、昇温室C2内に取り付けられたヒータを示している。

【0074】次に、この装置を用いて図4、図5に示すようなドーピングからソース・ドレイン電極を形成するまでの工程を説明する。まず、図4に示すように、ガラス基板21上のチャネル保護膜26をサウドエッティングし、その下の活性層25の周縁部の上面を露出した後に、そのガラス基板21を仕込み室C1内に収容する。

【0075】ついで、仕込み室C1の入口のシャッタS1を閉じてその内部を滅菌した後に、その出口側のシャッタS1を開けてガラス基板21を昇温室C2に移し、ついでそのシャッタS1を開いてから、その室内でガラス基板21を200°C程度に予熱加熱する。この後に昇温室C2の出口側のシャッタS2を開いてガラス基板21をP-CVD装置の反応室C3内の下側の電極P1の上に載置する。そして、その下のヒーターH3によりガラス基板21を300°C以下、好ましくは200～250°Cに加熱する。また、その内部の圧力を0.1～1.0Torrの間で最終的な圧力となるように監査しない排気機構を削除する。さらに、1.3.5.6MHzの高周波電源RFによる投入電力を1kW以下に設定する。

【0076】ここで、アルゴンをベースにしてホスフィンを0.5%流量でP-CVD装置内に導入し、一対の電極P1、P2の間に発生させたプラズマによってa-Si活性層25の表面又は膜中に網目状のイオンを導入する。これによりコンタクト領域25Aが形成される。ついで、ガラス基板21を第一と第二のスパッタ装置の反応室C4、C5内に順に搬送して、第一のスパッタ装置でIT

20

O膜を形成し、この後に、第二のスパッタ装置でモリブデン膜を成膜する。これらのスパッタの際にはガス導入口N4、N5からアルゴンガスを導入する。

【0077】スパッタ装置による成膜を終えた後に、減圧された状態の取り出し室C6。内にガラス基板21を搬送した後に、そのガラス基板21を外部に取り出す。この後に、図5に示すように、モリブデン膜とITO膜をバーニングする工程に移るが、その詳細は、第1実施例で説明しているので省略する。なお、モリブデンの代わりにクロム膜を用いてもよい。

【0078】以上のように、P-CVD装置を用いたプラズマドーピングの後に、真空状態を破らずにソース・ドレイン電極形成用の導電膜を堆積する工程を経て形成された TFTのドレイン電流・ドレイン電圧特性を調べたところ、図16の実験に示すような特性が得られた。これに対して、コンタクト領域25Aの表面を大気に曝した後にフッ酸処理をしないでソース・ドレイン電極を形成した場合のドレイン電流・ドレイン電圧特性を調べたところ図16の破線に示すような特性が得られた。

【0079】これらの結果、プラズマドーピングの後に真空を破らずにソース・ドレイン電極形成用の導電膜を成長した場合の方がコンタクト抵抗が小さくなることが分かる。また、プラズマドーピング法により不純物がドープされたa-Si活性層25を大気中に曝したために、その表面を緩衝フッ酸(BHF)溶液により洗浄してから電極28、29を形成した場合と、BHF溶液により洗浄せずに電極28、29を形成した場合とを比較すると、ドレイン電流とドレイン電圧の関係は図17のようになつた。

【0080】この結果、活性層25の電極コンタクト領域25Aをフッ酸処理しない方がTFTの特性はなくなることがわかる。その原因は、①洗浄により熱が流出したり、②熱の注入によりシリコンから水素が抜け出でてそこで未結合手が生じ、その未結合手が大気中の汚染物質が捕獲されるためと考えられる。なお、不純物ドーピングの前に、不活性ガス等、例えばヘリウム、アルゴン、ネオジン又はクリプトンにより活性層25の表面を叩くことでも、a-Siに含まれる水素を抜いてさらにアモルファス化し、その後にドーピングを行うと不純物が導入されにくくなる。

【0081】ところで、図5に示したようなコンタクト領域25Aを形成する前の工程として、薄いフッ酸液によるスライドエッティングや水素プラズマ処理等により、コンタクト領域25A表面の自然酸化膜の除去工程を行なうのが好ましい。しかし、ウェットエッティングした場合でも、ガラス基板21を装置内に仕込むときに酸化膜が発生する。

【0082】そこで、プラズマCVD装置によりドーピングを行う前に、水素プラズマを短時間発生させて活性層25の表面に成長した自然酸化膜を除去するようにし

(12)

特許平5-310533

21

てもよい。この実施例では、導電膜の成膜方法としてスパッタ法を用いているが、真空を破らないことが重要であり、他の導電膜形成方法として蒸着法を用いる場合にもその前に真空を破らないガラス基板21を移動させる必要がある。

【0083】また、平行平板型のP-CVD装置の電源として直流電源を用い、その電極の負極又は陽極側に基板を置いたり、或いは、P-CVD装置の電極に接続する交流電源を1MHz以下の低周波にしてもよい。1MHz以下の交流電源によれば、イオンエネルギーが大きいので、さらに短時間で深くイオンを注入できるという利点がある。

#### (d) 本発明の第4実施例の説明

図18及び図19におけるTFTマトリクスの要部平面図であり、図1～図8において用いた記号と同符号は同部分を表すかあるいは同じ意味をもつものとする。

【0084】本実施例は、図2～図9について説明した第1実施例について部分的な改変を加えたものである。第1実施例では、図2に示す工程でゲート電極22上にのみ、ゲート電極22よりも幅が狭いチャネル保護膜26を残すためのバーンをもったレジスト膜27を形成しているのである。本実施例においては、そのレジスト膜バーンを形成する際に、基板21の裏面から露光を行う技術、即ち、背面露光によるセルフアライメント技術を利用していている。

【0085】さて、この段階では、基板21の上にTFT膜からなるゲート電極22及びゲートバスライン23が形成され、全面にINからなるゲート遮蔽膜24、a-Siからなる活性層25、SiNからなるチャネル保護膜26のそれぞれが形成されているとする。次に、図18に示す工程を説明する。

【0086】まず、チャネル保護膜26上の全面にポジ型のフォトレジスト膜27を塗布した後に、ゲート電極22とゲートバスライン23をマスクにして、基板21の裏面から紫外線(UV)を照射してフォトレジスト膜27を露光する。このような露光によれば、ゲート電極22とゲートバスライン23の輪郭に沿って紫外線の回り込みが発生し、その輪郭に対して例えば0.5μm～1.0μm程度内側にずれた輪郭をもつフォトレジスト膜27のバーンが得られる。

【0087】なお、図18にはフォトレジスト膜27のバーンが表されていないが、その形状は前記説明によって理解できよう。今度は、フォトレジスト膜27の上方にフォトマスク33を置いて外部基板の露光を行う。この露光は、フォトレジスト膜をアンドオーバーしてゲート電極22上にのみ存在するように定位するために行なうものである。ゲート電極22の長手方向(ゲート幅方向)におけるゲートバスラインとの境界のエッジを設定するだけであるから、高い精密性は要求されない。

20

22

【0088】フォトレジスト膜27の現象を行うと、図2～図9に見られる第1実施例の場合と比較してゲート電極22のバーン端とフォトレジスト膜のバーン端との距離が小さなレジストバーンを得ることができる。なお、図18ではそのレジストバーンが表されていないため、図19に基づいて説明すると、ゲート電極22のバーン端とフォトレジスト膜のバーン端(即ち、活性層25と同バーンであるフォトレジスト膜のバーン端)との距離であるL<sub>1</sub>が小さいレジストバーンが得られるのである。

【0089】次に、図19に示すまでの工程を説明する。前記工程で形成したフォトレジスト膜27のバーンをマスクとし、かつ、BCl<sub>3</sub>とCl<sub>2</sub>の混合ガス成形はCP<sub>2</sub>とD<sub>2</sub>との混合ガスをエッティングガスとしてRIE法を適用することにより、チャネル保護膜26と活性層25を異方性エッティングし、ゲート電極22よりも複数の形状にバーニングする。

【0090】エッチャントとしてフッ化水素酸系エッティング液を用いてウェットエッティング法を適用することにより、レジスト膜27を残した状態でチャネル保護膜26のみをサイドエッティングする。レジスト剥離液中に浸漬してフォトレジスト膜を27除去する。ところで、TFTにおいては、必要とされるオン電流(寸法設計上は、チャネル幅W/チャネル長L<sub>1</sub>で決まる)を確保できる範囲においてできる限り小型にすることがゲート寄差を小さくする上で重要である。

【0091】ここで、チャネル長L<sub>1</sub>はチャネル保護膜26の幅に等しく、ソース電極28とドレイン電極29の間のスリット寸法(漏光の解像限界: ~3μm)とチャネル保護膜26との蓋なり寸法(漏光の合わせ精度: 3~3.5μm×2)で決定される。従って、チャネル長L<sub>1</sub>及び光の回り込み分L<sub>1</sub>の2倍及びサイドエッティング分L<sub>2</sub>の2倍の和がゲート長Gとなる。このゲート長Gを小さくすることがゲート容量の飽和に結び付くことになる。

【0092】この第2実施例によった場合には、背面露光に起因する光の回り込み分L<sub>1</sub>が0.5μm～1.0μmであって、マスク合わせした場合に~3μmよりも小さくなるから、その分だけゲート電極22を小面積化して設計することができる。ゲート容量に応じる設計上あるいは表示上の不都合を少なくすることができる。一般に、該品をTFTマトリクスにより駆動する際に、回路電極への信号の寄込みの直後、即ち、ゲート電極にTFTをオンにするようなパルス電圧を印加して信号電圧(ドレイン)に信号電圧を印加した直後の前記パルス電圧が切れる瞬間にソース～ゲート間電圧に起因した回路電位のシフトが発生する。従って、ソース・ゲート間の容量は小さくしなければならないが、これは、ゲート容量の約半分の値である。

【0093】ゲート容量は、TFTがオンの際、ゲート電極領域とソース・ドレイン電極領域、或いはa-Siか

30

40

(13)

特開平6-310533

23

らなろアイランド領域において、ゲート絶縁膜を誘電体としたコンデンサの容量である。したがって、ソース・ゲート間の容量、即ち閾電位のシフトを小さくして表示品質を高めるためにゲート面積をソース・ドレイン電極領域や $a-Si$ からなるアイランド領域と重なるゲートの面積を小さくするのが効である。

【0094】 TFTにおけるチャネル長の方向における寸法の縮小を印象する製造上の制限は、①ソース・ドレイン電極間のスリット（露光の解像度）、②ソース・ドレイン電極並びにチャネル保護膜のオーバラップ（露光の合わせ精度）、③ゲート電極のチャネル保護膜からのみだしほん（露光の合わせ精度）等が挙げられる。本実施例における自己整合法では、前記①を最小にすることができるので、ゲート電極を小さく設計することが可能になる。

【0095】 (e) 本発明の第5実施例の説明

図20は、本発明の第5実施例を解説するための工程異所におけるTFTマトリクスの要部平面図であり、図2～図19において用いた記号と同様に前回分を交叉か或いは同じ意味を付つものとする。本実施例は、図18及び図19について説明した第4実施例について部分的な変更を加えたものである。ゲート電極22とゲートバスライン23との境界部分を斜めり込みバターンにしたものであつて、このようにすると、背面露光の場合に種々な利点が生ずることになる。さて、この段階では、図2に示すように、基板21上にTFT膜からなるゲート電極22及びゲートバスライン23が形成され、両面にSiNからなるゲート絶縁膜24、 $a-Si$ からなる活性層25、SiNからなるチャネル保護膜26のそれぞれが形成されているものとする。

【0096】 ところで、第5実施例におけるゲート電極22のバターンは、図20に示すようにゲートバスライン23との境界部分に斜めり込み部2Aが形成され、そして、その斜めり込み部2Aの幅L<sub>1</sub>は、図18及び図19について説明した第4実施例と同様に、背面露光時に起因する光の回り込み分をL<sub>1</sub>とし、また、チャネル保護膜26のサイドエッティング分をL<sub>2</sub>として、L<sub>1</sub> < 2(L<sub>1</sub> + L<sub>2</sub>)、となるように選ぶことで、製造プロセス上で大きな利点を得ることができる。

【0097】 リソグラフィー技術におけるレジストプロセスを適用することによって、チャネル保護膜26上の全面にボジ型のフォトレジスト膜（露光せず）を形成してから、斜めり込み部2Aをもつゲート電極22並びにゲートバスライン23をマスクとして、基板21の裏面から紫外線を照射してフォトレジスト膜を露光し、その後、現像を行う。

【0098】 このようにすると、第4実施例と同様に、ゲート電極22とゲートバスライン23の輪郭に沿って光の回り込み分L<sub>1</sub>が発生し、その輪郭に対して例えば0.5μm～1.0μm程度内側に輪郭をもったフォト

24

レジスト膜のパターンが得られる。次に、バターニングされたフォトレジスト膜をマスクに使用し、かつ、BCl<sub>3</sub>とCl<sub>2</sub>の混合ガス、或いはBCl<sub>3</sub>とO<sub>2</sub>の混合ガスをエッチングガスとして用い、RIE法を用いることにより、チャネル保護膜26と活性層25を異方性エッチングする。これにより、ゲート電極22及びゲートバスライン23よりも幅が狭い形状にバターニングする。

【0099】 この後に、エッチャントをフッ化水素酸系エッティング液とするウェットエッティング法を適用することにより、レジスト膜を残した状態でチャネル保護膜26のみをサイドエッティングする。このサイドエッティングにおいては、L<sub>1</sub> < 2(L<sub>1</sub> + L<sub>2</sub>)なる条件を保つていれば、ゲート電極22上のチャネル保護膜26とゲートバスライン23上のチャネル保護膜26は、サイドエッティングにより分離されてしまい、第4実施例における工程に見られるようなフォトマスク33を用いた表面からの露光を必要としない。

【0100】 ここで、図には、ゲート電極毎に分離されたチャネル保護膜26が示され、また、そのチャネル保護膜26と一緒にあつたゲートバスライン23上のSiN膜が記号26Aで指示されている。なお、この場合のサイドエッティングにおいても、活性層25をバターニングしない状態で等方性エッティングを用い、チャネル保護膜26のみのバターニングとサイドエッティングを先行させて良いことはもちろんである。

【0101】 次に、レジスト剥離液中に浸漬して前記工程で形成したフォトレジスト膜を除去する。前記第5実施例によれば、ゲート電極22とゲートバスライン23との境界部分上に活性層25と同じ材料であるa-Si層が残ったとしても、その上にチャネル保護膜26が存在しなければ後の工程で除去されてしまうので、活性層25もTFT毎に自動的にアイランド化され、溝り合うTFT相互の干渉は生じない。

【0102】 (f) 本発明の第6実施例の説明

図20について説明した第5実施例は、第1、第4実施例に比較してフォトマスク数を少なくすることができる、この技術を適用した実施例を以下に詳細する。図21～図27は、本発明の第6実施例を解説するための工程異所に於けるTFTマトリクスの要部説明図である。図中(A)は、要部平面、(B)はX-X'線に沿う断面をそれぞれ表し、要部平面(A)においては、簡明にするため、複層されている層の図示を一部省略したものがある。以下、これらの図を参照しながら説明する。

【0103】 まず、図21に示す状態までの工程を説明する。初めに、スパッタリング法を適用することにより、ガラス等の透明絶縁体からなる基板21上に例えば厚さが80nmのTFT膜を形成する。リソグラフィー技術におけるレジストプロセスの後に、BCl<sub>3</sub>とCl<sub>2</sub>の混合ガスをエッチングガスとするRIE法を適用することにより、前記工程で形成したTFT膜のバターニングを行い、四

(14)

特開平6-310533

25

2.1に示すように、境界部分に絞り込み部2.2Aをもつゲート電極2.2とゲートバスライン2.3を形成する。

【0104】ベースガスをSiH<sub>4</sub>とするP-CVD法を適用することにより、厚さ例えば4.0nmのSiNよりなるゲート絶縁膜2.4と、厚さ例えは1.5nm～5.0nmのa-Siからなる活性層2.5と、厚さ例えは1.20nmのSiNからなるチャネル保護膜2.6を順に形成する。次に、リソグラフィー技術におけるレジストプロセスを適用することにより、チャネル保護膜2.6上の全面にポジ型のフォトレジスト膜2.7を形成してから、絞り込み部2.2Aをもつゲート電極2.2並びにゲートバスライン2.3をマスクとして基板2.1の裏面から紫外線を照射してフォトレジスト膜を露光し、そして現像を行なう。

【0105】このようになると、第5実施例と同様に、ゲート電極2.2とゲートバスライン2.3の軸部に沿って光の回り込み分L<sub>1</sub>が発生し、その輪郭に対して例えは0.5μm～1.0μm程度寸法に輪郭をもったフォトレジスト膜2.7のパターンが得られる。この後に、図2.2に示すように、バーニングされたフォトレジスト膜2.7をマスクとし、BCl<sub>3</sub>とCl<sub>2</sub>を含む混合ガスをエッティングガスとするRIE法を適用することにより、チャネル保護膜2.6と活性層2.5を炭化性エッティングし、これをゲート電極2.2とゲートバスライン2.3よりも隔がけた形状にバーニングする。

【0106】次に、エッチャントとしてフッ化水素酸系エッティング液を用いるウェットエッティング法を適用することにより、図2.3に示すように、レジスト膜2.7を残した状態でチャネル保護膜2.6のみを等方性エッティングする。この等方性エッティングでは、レジスト膜2.7が存在していることから、チャネル保護膜2.6はサイドエッティングされることになり、そのサイドエッティング分L<sub>2</sub>は例えば2μmである。

【0107】このサイドエッティングにおいても、L<sub>1</sub> < L<sub>2</sub>(L<sub>1</sub>+L<sub>2</sub>)なる条件を維持することで、チャネル保護膜2.6を各ゲート電極毎に分離し、第4実施例における工程にみられるようなフォトマスクを用いた上方からの露光を行わない。図には、ゲート電極毎に分離されたチャネル保護膜2.6が示され、また、サイドエッティングを行う前、ゲートバスライン2.3上にあってチャネル保護膜2.6と一緒にアーバン部2.5の等方性エッティングを行なうようにしてよい。次に、レジスト剥離液中に浸漬してレジスト膜2.7を除去してから、図2.4に示すように、PH<sub>3</sub>とArのプラズマに曝すことで、チャネル保護膜2.6の周辺に露出されている活性層2.5の部分に焼のドーピン

グを行い、n<sup>+</sup>-a-Siからなる電極コンタクト領域2.5Aを形成する。

【0109】前記焼のドーピングは、第1実施例と同様 P-CVD装置を利用して実施するが、その他の手段として、活性層2.5の表出された部分に選択的に不純物を導入かつ活性化することができる技術であれば、いずれでも適宜採用してよい。なお、イオノシャワーによる場合には、緩衝フッ酸・水素プラズマ処理により電極コンタクト領域2.5Aの表面の自然酸化膜を除去する。

【0110】次に、図2.5に示す状態になるまでの工程を説明する。まず、スパッタリング法を適用することにより、厚さ例えは8.0nmのITO膜と厚さ例えは2.0nmのMo膜を順に形成する。なお、Mo膜は他の金属膜、例えばCr膜に代替することができる。なお、コンクレクト領域2.5Aを形成する工程からMo膜を形成する工程まで、第3実施例のように真空炉爐を破らずに連続的に行ってよい。

【0111】この後に、リソグラフィー技術におけるレジストプロセスを適用することにより、画素電極、ソース電極、ドレイン電極、ドレインバスラインの領域を覆うバターンのレジスト膜(露せり)を形成してから、エッチャントをリン酸系エッティング液とするウェットエッティング法を適用することによって、Mo膜をバーニングする。

【0112】さらに、前記工程で形成したレジスト膜をマスクにして、エッチャントを(BCl<sub>3</sub>+BF<sub>3</sub>O)混合液或いは(BCl<sub>3</sub>+FeCl<sub>3</sub>)配合液とするウェットエッティング法を適用することにより、前記工程で形成したITO膜をバーニングする。ついで、前記工程で形成したレジスト膜をマスクとして、BCl<sub>3</sub>とCl<sub>2</sub>をエッティング・ガスとするRIE法を適用することにより、前記マスクからみ出ている電極コンタクト領域2.5Aの不要部分をエッティング除去する。これにより、ゲート電極2.2の上とゲートバスライン2.3の境界領域で露出していた活性層2.5も完全に除去され、ゲート電極2.2の上の活性層2.5は島状になる。また、ソース電極とドレイン領域の短絡が防止され、しかも、ドレインバスライン3.0同士の短絡が回避される。

【0113】以上のような一連の工程を経ることで、ITO膜並びにMo膜からなる二層膜で構成されたソース電極2.8、同じくその二層膜で構成されたドレイン電極2.9、同じくその二層膜で構成されたドレインバスライン3.0、画素電極3.1が形成されることになる。次に、図2.6、図2.7に示す状態となるまでの工程を説明する。

【0114】まず、前記工程で形成したレジスト膜を除去してから、P-CVD法を適用することにより、全面に厚さ例えは3.0nmのSiNからなる最終保護膜3.2を形成する。この後に、リソグラフィー技術におけるレジストプロセスを適用し、さらに、エッチャントをフッ化水素酸系エッティング液とするウェットエッティング法を第

(15)

特開平6-310533

27

用することによって、最終保護膜32をバーニングする。

【01115】これによって、最終保護膜32は所定の形状となり、図示電極31上まで露出され、そして、ドレンバス端子部(図8参照)ではドレンバスライン30の一部を構成している。膜がそれぞれ露出される。また、ゲートバス端子部(図9参照)では、ゲートバスライン23上のチャネル保護膜22も同時に除去され活性層25が露出される。

【01116】この後に、 $BCl_3$ と $Cl_2$ をエッティングガスとしてRIE法によりゲートバス端子部にある活性層25を除去する。次に、CDE装置を使用し、 $CH_4$ と $O_2$ を含むガスをエッティングガスとするプラズマエッティング法を適用することにより、図示電極31の上のN膜とドレンバス端子部のN膜とその下のSiNからなるゲート絶縁膜24を除去する。

【01117】図21～図27について説明した第6実施例では、背面露光によるセルフライアント方式を利用し、全工程を3枚のフォトマスクを使用して完了させているので、従来の技術に比較すると、マスクが4枚、5枚も少なくなっている。また、前記説明したように、ドレンバスラインを透明電極膜とともに最終保護膜のバーニングを省略した場合、フォトリソグライファー工程は最低で3回であるが、フォトマスクは2枚で済ませることができる。

#### 【01118】(g) 本発明の第7実施例の説明

図28及び図29は、本発明の第7実施例を解説するための工程におけるTFTマトリクスの要部の断面図、図30～図32は、その平面図である。なお、図28及び図29の断面は、図30(a)に示すZ-Z'軸からみた断面である。図33は、ゲートバス端子部とドレンバス端子部を示す平面図及び断面図である。

【01119】図2～図9において用いた記号と同記号は同部分を表すかあるいは同じ意味をもつものとする。本実施例は、図2～図9について説明した第3実施例を基本的に変更するとともに、キャバシタの形成工程を追加した内容を有している。まず、スパッタ法によりガラス基板21の上にITO膜を8μmの厚さに形成した後に、図30(a)に示すように、リソグラフィー技術によりそのITO膜をバーニングして画面領域の一部からゲートバスライン形成領域の一部にかけた領域にキャバシタ用の下側電極を形成するとともに、ゲート電極とゲートバスラインを累積領域に接続用電極41を形成する。その断面は、図28(a)のようになる。

【01120】次に、T膜を形成した後に、これをリソグラフィー技術によりバーニングして図30(b)に示すようなゲート電極22とゲートバスライン23を形成する。この場合のゲート電極22とゲートバスライン23は、既に述べた実施例と異なり接続用電極41の上で分離されているが、その接続用電極41により導通してい

る。また、ゲートバスライン23は、キャバシタ用の下側電極40の一部と接触した状態となっている。

【01211】さらに、SiH<sub>x</sub>をベースガスとするP-CVD法により、図28(b)に示すように、SiN膜からなるゲート絶縁膜24と、SiNからなる活性層25と、SiNからなるチャネル保護膜26を順に形成する。これらの膜厚は第1実施例と同様にする。次に、チャネル保護膜26の上にポジ型のレジスト膜27を塗布した後に、第4実施例と同様にしてガラス基板21の裏面から紫外線を照射してレジスト膜27を露光し、ついで、これを現像すると図31(a)に示すような平面となる。その露光の際には、相互に分離されたゲート電極22とゲートバスライン23がマスクとなる。

【01212】この場合、ゲート電極22とゲートバスライン23の分離領域においては、ITO膜よりも接続用電極41が存在するために、その領域に残存するフォトレジスト膜27は露光及び現象により完全に除去された状態になる。しかも、現像により残存するフォトレジスト膜27の輪郭は、ゲート電極22とゲートバスライン23の輪郭に対して例えば0.5～1.0μm程度内側にパックしたパターンとなっている。

【01213】次に、 $BCl_3$ と $Cl_2$ の混合ガス又は $CF_3$ と $O_2$ の混合ガスを用いてRIE法によりチャネル保護膜26と活性層25をほぼ垂直に高方性エッティングすると、これらの膜25、26は、図28(c)に示すように、フォトレジスト膜27と同じパターンに形成され、この結果、ゲート電極22とゲートバスライン23のパターンよりも幅の狭い形状となる。

【01214】これによれば、ゲート電極22とドレンバスライン23の上にそれぞれ残存する活性層25は図18に示すようなフォトマスク3を用いてする露光工程を経ずに完全に分離される。ここまでマスク数は、キャバシタ用の下側電極がバーニングされた際にフォトマスクが使用されるので、第1実施例と同じになる。

【01215】この後に、前記したレジスト膜27を残した状態で、フッ化水素離子エッティング液を使用するウェットエッティング法によりチャネル保護膜26のみをサイドエッティングし、その下の活性層25の周縁の上面を図28(d)に示すように露出させる。そのサイドエッティングの量は1～2μm程度とする。そのレジスト膜27を溶剤により除去した状態の平面図は、図31(b)に示すようになる。

【01216】そのサイドエッティングの際には、チャネル保護膜26とはエッチャントが同じであるSiNからなるゲート絶縁膜24が露出されているのであるが、これは、SiN膜をP-CVD法で成膜する際の条件を適切に選択することでフッ化水素離子エッティング液に対するエッティングレートを大きく変化させることができるので問題は起らない。その具体例については第1実施例で既に述べた。

(16)

特開平6-310533

29

【0127】なお、チャネル保護膜26のサイド・エッティングは、チャネル保護膜26及び活性層25をメサ状にバーニングしてから行っているが、活性層25のバーニングを行うことなく、チャネル保護膜26のみを始めから等方性エッティングして、バーニングとサイドエッティングを連続して行い、その後で、レジスト膜27をマスクとしてRIBE法により活性層25を垂直方向に異方性エッティングしてもよい。

【0128】次に、第1実施例で示した不純物のドーピング方法により、チャネル保護膜26から露出した活性層25の両端部に堿をイオン注入し、その部分に図29(A)と図31(B)に示すようなn+コンタクト領域25Aを形成する。その詳細は、第1実施例と第2実施例において説明したので省略する。なお、イオンシャワードによる不純物導入の場合には、コンタクト側面25Aの表面に生じる酸化膜や、薄いフッ化水素系エッティング液によるスライド・エッティングや、水素プラズマ処理によって除去してもよい。

【0129】この実施例による場合にも、背面露光に起因する光の回り込み分が0.5μm～1.0μmであって、第1実施例のようにマスクを合わせた場合の～3μmよりも小さくなるから、その分だけ小型化したゲート電極の設計をすることが可能であり、ゲート容量に起因する設計上あるいは表示上の不都合が少なくなる。この後に、スペッタリング法を適用することにより、厚さ例えれば80nmのITO膜と厚さ200nmのMo膜を順に形成する。なお、Mo膜の代わりに他の金属膜、例えばCr膜を用いてもよい。

【0130】なお、コンタクト領域25Aを形成する工程からMo膜を形成する工程まで、第3実施例のように真空状態を破らずに連続的に行ってもよい。この後に、第1実施例と同様にリソグラフィー技術によりMo膜とITO膜をバーニングし、図29(C)、図32(A)に示すように、その二層間にソース電極28、ドレイン電極29、ドレインバスライン30を形成するとともに、そのITO膜により固柵電極31を形成する。

【0131】そのソース電極28とドレイン電極29はゲート電極22の上のチャネル保護膜26の上において分離され、またドレインバスライン30は、ゲートバスライン23に直交する方向に配置される。この後に、Mo膜とITO膜をバーニングする際に使用したフォトレジストを剥離せずに、BCl<sub>3</sub>とCl<sub>2</sub>の混合ガスを用いてRIBE法を適用することにより、堿イオンが導入された活性層25のうちソース電極28、ドレイン電極29等から露出している部分を完全に除去する。これにより、図32(A)に示すようにソース電極28とドレイン電極29との短絡が防止され、かつ、ドレインバスライン30同士が短絡することはなくなる。この後に、リソグラフィー技術に用いたフォトレジストを除去する。

【0132】次に、P-CVD法を適用することによ

り、全面に厚さ例ええば300nmのSiNからなる最終保護膜32を形成する。この後に、レジストプロセスを適用し、エッチャントをフッ化水素系エッティング液とするウェットエッティングを経ることにより、最終保護膜32をバーニングし、これにより、西柵電極31の上のMo膜を表出させる。

【0133】これに続いて、モルタル膜を除去せず、そのままMo膜をバーニングして固柵電極31を構成するITO膜を露出させる。Mo膜をバーニングする場合には、リン酸を主成分とする水溶液によるウェットエッティング法による。その後に、溶剤を使用してレジスト膜を除去する。これにより、図29(D)、図32(B)に示すような構造のTFETトライクスが完成する。この構造によれば、図29(D)に示すようにキャバシタQの下側電極40に対向する西柵電極31がキャバシタQの上側電極としても機能し、それらの間に挟まれたゲート絶縁膜24がキャバシタQの耐圧電極となる。これにより、固柵電極31とゲートバスライン23がキャバシタQを介して接続されることになる。

【0134】次に、ゲートバスラインとドレインバスラインの端子部の形成工程について図33に基づいて説明する。ゲートバスライン23の端子部は、ITO膜により図30(A)に示すキャバシタの下側電極40を形成する際に、同時に、図33(A)に示すように、そのITO膜をゲートバス端子部42としてガラス基板21の周辺に形成しておく。さらに、ゲートバスライン23を形成する際に、そのゲートバスライン23をゲートバス端子部42の一部に接続して重要な位置まで延長させる。

【0135】そして、その後に複数されるゲート絶縁膜24と最終保護膜32だけをゲートバス端子部43の上に残し、それ以外の膜はバーニングの際にエッティングして除去する。さらに、ゲートバス端子部34を露出させる方法は、西柵電極31の上にある最終保護膜32をエッティングして除去する際に、同じレジストからなるマスクを使用してゲートバス端子部34の上にある最終保護膜32とゲート絶縁膜24とを選択的に除去し、これにより図33(B)に示す開口部44を形成する。

【0136】なお、最終保護膜32はフッ化水素系エッティング液を使用するウェットエッティングにより除去するが、これによりゲート絶縁膜24はエッティングされないことは既に述べた。そこで、ゲートバス端子部43の上のゲート絶縁膜24の除去は、西柵電極31の上のMo膜を除去する際に同時に作成する。そして、西柵電極31の上のMo膜と最終保護膜32を除去する際に、同時に作成する。

【0137】一方、ドレインバス端子部45は、図33(C)に示すように、西柵電極31を形成する際にゲート絶縁膜24の上に形成するITO膜を使用して、西柵電極31を形成する際に同時に作り込む。そして、西柵電極31の上のMo膜と最終保護膜32を除去する際に同時に作成する。

(12)

特開平6-310533

31

32を選択的に除去し、図33(d)に示すような開口部46を形成する。

【0138】従って、本実施例に上れば、ゲートバス端子部42とドレインバス端子部45を形成するための特別の工程は不要となり、工程が大幅に削減される。

(h) 本発明の第8実施例の説明  
図34及び図35は、本発明の第8実施例を解説するための工観におけるTFETマトリクスの要部断面図。図36～図38は、その平面図である。

【0139】上記した図において用いた記号と同記号は同一部分を表すかあるいは同じ意味をもつものとする。本実施例は、第1実施例に示したゲート電極とゲートバスラインの構成材料としてITO及び金属の二層構造の膜を使用するとともに、ゲートバス端子部をゲートバスライ

ンと一緒に形成的に形成した点で大きく相違する。

【0140】まず、図34(a)に示すように、ガラス基板21の上にスパッタ法によりITO膜47、Cr膜48を各々5nmの厚さに順次堆積する。ついで、レジスト膜49を塗布し、これを露光、現像することにより、ゲート電極領域とゲートバスライン領域とゲートバス端子部を覆うパターンを形成する。そして、レジスト膜49に覆われないCr膜48を研磨セリウム第二アンモニウム水溶液によりエッチングし、その後のITO膜47を拉致及び湿化第二歎を成分とする水溶液によりエッチングして除去することによりバーナーニングする。これにより、図34(b)、図36(a)に示すように、ゲート電極50とこれに覆うるゲートバスライン51及びゲートバス端子部52が形成される。

【0141】そして、レジスト膜49を剥離した後に、SiNよりなるゲート絶縁膜24、a-Siからなる活性層25、及びSiNよりなるチャネル保護膜26を順に積重する。なお、これららの膜の形成条件と膜厚は、第1実施例に示しているので省略する。次に、第4実施例で説明したと同様に、チャネル保護膜26の上面にポジ型のフォトレジスト膜27を塗布した後、ゲート電極22とゲートバスライン23をマスクにして、基板21の裏面から紫外線を照射してフォトレジスト膜27を露光する。

【0142】このような露光によれば、ゲート電極22とゲートバスライン23の輪郭に沿って紫外線の回り込みが発生し、その輪郭に対して例えば0.5μm～1.0μm程度内側にずれた輪郭をもつフォトレジスト膜27のパターンが得られる。統て、フォトレジスト膜27の上方に、図36(a)に示すようなフォトマスク33を置いて紫外線の露光を行なう。

【0143】この露光は、レジスト膜27をアイランド化してゲート電極22上にのみ存在するように限定するために行なうものである。ゲート電極22の長手方向(ゲート幅方向)におけるゲートバスラインとの境界のエッジを限定するだけであるので高い精密度は要求されな

い。フォトレジスト膜27の露光を行うと、図34(c)に示すような断面となり、第1実施例の場合と比較してゲート電極22の絶縁層とレジスト膜27の縁部の間隔が小さくなる。

【0144】つづいて、エッティングガスとしてBCl<sub>3</sub>とCl<sub>2</sub>の混合ガス、或いはCl<sub>2</sub>とO<sub>2</sub>の混合ガスを使用するRIE法を適用することにより、チャネル保護膜26及び活性層25を垂直にエッティングして、これらの膜をゲート電極22よりも幅が狭い形状のパターンにする。次に、図35(a)に示すように、レジスト膜27を残した状態で、フッ化水素酸系エッティング液によりチャネル保護膜26のみを1μm～2μmの量でサイド・エッティングする。

【0145】このエッティングの際にSiNからなるゲート絶縁膜24が露出されているのであるが、ゲート絶縁膜24を成膜する際の条件を適切に選択することでフッ化水素酸系エッティング液に対するエッティング、レートを大きく変化させることができるので問題は起こらない。その具体例は第1実施例で述べ述べた。次に、溶剤によりレジスト膜27を除去すると、図36(b)に示すような平面となり、ゲート電極50の上方において活性層25の周縁部がチャネル保護膜26の周囲から露出された状態になる。

【0146】次に、チャネル保護膜26をマスクに用いて活性層25の縁部に縫孔を開け、図35(b)に示すようなn+～Siからなる電極コントラクト領域25Aを形成する。この不純物のドーピング方法については、第1、第2実施例で述べたので省略する。次に、第1実施例で述べた方法により、コンタクト領域25Aの表面の自然氧化膜を除去して、この上に形成される電極と良好なオーミック・コンタクトがとれるようになる。

【0147】この後、スパッタリング法を適用することにより、画素領域電極、ソース電極形成領域、ドレイン電極形成領域、ドレインバスライン領域、ドレインバス端子部領域を複数パターンのレジスト膜(印示せず)を形成してから、エッティング・ガスとして例えばO<sub>2</sub>とCl<sub>2</sub>を含むガスを用いてプラズマエッティング法を適用することによってCr膜54のバーナーニングを行う。

【0148】そして、レジストプロセスを適用することにより、画素領域電極、ソース電極形成領域、ドレイン電極形成領域、ドレインバスライン領域、ドレインバス端子部領域を複数パターンのレジスト膜(印示せず)を形成してから、エッティング・ガスとして例えばO<sub>2</sub>とCl<sub>2</sub>を含むガスを用いてプラズマエッティング法を適用することによってCr膜54のバーナーニングを行う。

【0149】なお、耐熱性によるダメージが発生するおそれがある場合には、硝酸セリウム第二アンモニウムを主成分とする水溶液によるウェットエッティング法を適用してもよい。次に、同じレジスト膜をマスクとして、エッチャントをHClとBNO<sub>3</sub>の混合液、或いはHClとFeCl<sub>3</sub>の

37

20

30

40

50

(18)

特開平6-310533

33

混合液とするウェットエッティング法を適用することにより、ITO膜53をバーニングした後に、統いて、EC1とC1の混合ガスをエッティングガスに使用するRIE法により、前記レジスト膜のパターンからはみ出ている電極コントクト領域25Aの不用部分をエッティング除去する。これによりソース領域とドレイン領域の短絡が防止される。

【0150】以上との工程を経ることにより、図37に示すように、ITO膜53とCr膜54からなる二層膜で構成されたソース電極55とドレイン電極56とドレインバスライン57が形成され、また、ITO膜からなる回路電極58とドレインバス端子部59が形成される。このように、ITOによりバス端子部を形成すると酸化による短絡不良の問題がなくなる。なお、ソース電極55とドレイン電極56はチャネル保護膜26の上で分離される。

【0151】次に、レジスト膜を除去から、P-CVD法を適用することにより、全面に厚さ例えば300nmのSiNからなる最終保護膜32を形成する。さらに、図示しないレジストパターンを用いて、フッ化水素湿式エッティング液により最終保護膜32をバーニングする。これにより、回路電極58とドレインバス端子部59の上ではCr膜54が露出され、また、ゲートバス端子部52の上ではゲート絶縁膜24が露出する。

【0152】ところで、ゲートバス端子部52の上のゲート絶縁膜24はフッ化水素湿式エッティング液に対してエッティングレートが小さくなるよう形成してあるので、最終保護膜32と同時にエッティングされない。そこで、Cr1とCr2を含む混合ガスを用いるプラズマ・エッティング法により、ゲートバス端子部52の上のSiNからなるゲート絶縁膜24を除去する。さらに、反応ガスをCr1とCr2に変更して図35(D)、図38に示すように回路電極58、ゲートバス端子部52及びドレインバス端子部59の上のCr膜48、49を除去する。

【0153】この結果、透明なITO膜からなるゲートバス端子部52、回路電極58、ドレインバス端子部59が表することになる。なお、前記工程の説明から明らかであるが、最終保護膜32のバーニングから完成までのプロセスは、前記工程におけるレジストプロセスで形成されたレジスト膜をマスクにして実施されたものであることが理解されよう。

【0154】以上によりTFTマトリクスを形成するためのレジストマスクは、第1実施例と同様に3、4枚で足りることになる。しかも、ゲートバス端子部52もITOから構成できることで酸化による端子接続不良がなくなる。また、ゲートバスライン51もITO/Crにより形成されているので、ヒロックやホイスカが生じるおそれも完全になくなる。

【0155】なお、この実施例では、蓄積容量は付加していないが、第7実施例のように、ゲート電極を形成す

34

る際にキャビシタの下側電極を同時に形成しておけば、プロセスを増加させずに蓄積容量を付加したTFTマトリクスが形成される。

(1) 本発明の第9実施例の説明

上記した実施例では、活性層25の上のチャネル保護膜26をサイドエッティングすることにより、活性層25の両側を露出させ、その領域に不純物を導入して電極コントクト領域25Aを形成するようしている。

【0156】その電極コントクト領域の面積が充分でない場合には、次のような工程によりチャネル保護膜と電極コントクト領域を形成してもよい。図39～図41は、本発明の第9実施例を示すTFTマトリクスの要部を示す断面図、図42及び図43は、本発明の第9実施例を示すTFTマトリクスの要部を示す平面図である。これらの図において、第1実施例と同一符号は同一要素を示し、平面図ではゲート絶縁膜及び最終保護膜は省略している。

【0157】まず、図39(A)に示すように、透明絕縁材よりなる基板210上にゲート電極22を形成した後に、全面に、膜が400nmのSiNからなるゲート絶縁膜24と、膜が50nmのSiからなる活性層25と、膜厚120nmのSiNよりなるチャネル保護膜26を順に複層する。その成膜方法は第1実施例と同じである。それらの成膜後に、ボジ型のイメージリバーサルレジスト70を露出し、ついで、フォトマスク71を用いてイメージリバーサルレジスト70を露光し、これを現像して、ゲート電極22とその両側の周辺の領域を露す形状のパターンを形成する。このパターンは、図39(B)、図42(A)に示すように、少なくともゲート電極22とソース領域とドレイン領域を含む範囲に形成する。

【0158】そして、そのイメージリバーサルレジスト70をマスクにして、横衝フッ酸によりチャネル保護膜26をエッティングし、ついでCDE装置を用いてCr1とCr2の混合ガスにより活性層25をエッティングする。これにより、図39(C)に示すように、チャネル保護膜26及び活性層25のパターンは、イメージリバーサルレジスト70と同じになる。

【0159】なお、チャネル保護膜26と活性層25のエッティングは、連続してCDE装置によつてもよい。しかし、プラズマを用いるRIE法を使用すればレジストが露光するので、活性層25のエッティングにはRIE法は不適当である。この後に、基板21の下側から紫外線を照射してイメージリバーサルレジスト70を再び露光する。この場合、ゲート電極22が露光の窓のマスクとなり、イメージリバーサルレジスト70を現像した後には、図40(A)、図42(B)に示すように、イメージリバーサルレジスト70は、ゲート電極22とほぼ同じ幅のパターンとなる。

【0160】ついで、図40(B)に示すように、イメージリバーサルレジスト70から露出したチャネル保護膜

(19)

特開平6-310533

35

2.6を緩衝フッ酸によりエッチングして、ゲート電極2.2の両側の活性層2.5を露出する。この場合、ゲート電極膜2.4の材料はSiNであるので、緩衝フッ酸によりエッチングされるおそれがあるが、成膜条件によってはゲート電極膜2.4をエッチングし難くすることが可能になる。その詳細は、第1実施例において説明したので省略する。

[0161] 次に、イメージリバーサルレジスト7.0を除去した後に、図15に示すような平行平板型のP-CVD装置の反応室C.3の中に基板2.1をしづかに、300°C以下、好ましくは200~250°Cの基板温度で設定する。そして、アルゴン、ネオン、ヘリウム等の不活性ガスをベースにして5%以下のホスフィンを反応室C内に導入し、さらに、ガス圧力を0.1~2Torrの間の最適な値に設定し、高周波電源R.f.の投入電力を1kW以下にする。

[0162] この条件でプラズマを発生させると、チャネル保護膜2.6から露出した活性層2.5の両側部には、図40(c)に示すように、リンがプラズマドーピングされ、これにより、活性層2.5の両側部にはn<sup>+</sup>型の電極コントラクト領域2.5Bが形成される。電極コントラクト領域2.5Bへの不純物の導入は、プラズマドーピングに限るものではなく、第1実施例で示したような3つの方法のいずれであってもよい。プラズマドーピングについては第2実施例に詳説している。

[0163] 次に、真空を破らずに基板2.1を図15に示すスパッタ装置の反応室C.4内に移動し、スパッタによりITO膜7.2、クロム(Cr)膜7.3をそれぞれ8.0nm、2.00nmの厚さに形成する。続いて、図41(a)に示すように、リソグラフィー技術によりITO膜7.2、クロム膜7.3をバーニングして、これらの膜を、図43(a)に示すようにゲート電極2.2から露出領域、ソース領域、ドレイン領域及びドレインバスライント領域に残存させる。併せて、ITO膜7.2とクロム膜7.3のバーティカルからみ出した電極コントラクト領域2.5Bがあればこれを除去する。

[0164] これらのITO膜7.2及びクロム膜7.3のうち、ドレイン領域に残ったものはドレイン電極7.4となり、ソース領域に残ったものはソース電極7.5となり、ドレインバスライント領域に残ったものはドレインバスライント7.6となり、露出領域のITO膜7.2は因る電極7.7となる。ついで、全面に、例へば3.00nmのSiNからなる最終保護膜7.8をP-CVD法により形成し、さらに、最終保護膜7.8をバーニングして露出領域に開口部7.9を形成した後に、その開口部7.9から露出したクロム膜7.3を除去して、図41(b)、図43(b)に示すようなITOよりなる因る電極7.6を露出させる。

[0165] なお、最終保護膜7.8に開口部7.9を形成する場合にはフッ化水素系エッチング液を用いる。また、クロム膜の除去は、Cl<sub>2</sub>及びO<sub>2</sub>を用いるプラズマエ

36

ッティング法による。以上は、TFTの製造工程を中心にして説明したが、ゲートバスライント端子やドレインバスライント端子については、前に述べた実施例に従って形成する。

[0166] このような工程によれば、イメージリバーサルレジスト7.0のパターンをマスクにして活性層2.5をゲート電極2.2の両側に大きく突出させてバーニングした後に、さらに、ゲート電極2.2をマスクにしてそのイメージリバーサルレジスト7.0を露光、現像し、これをマスクにしてチャネル保護膜2.6をバーニングしている。

[0167] これによってチャネル保護膜2.6はゲート電極2.2とほぼ同じ幅のパターンとなり、その両側に活性層2.5が大きく突出した状態となっている。したがって、活性層2.5とチャネル保護膜2.6をバーニングする場合に、フォトマスクの位置合わせが一回で済むので、第1実施例と同様に4枚のフォトマスクを使用することになる。

[0168] しかも、活性層2.5の両側に形成された本実施例の電極コントラクト領域2.5Bは、前記実施例のようにチャネル保護膜2.6のサイドエッティングにより得られる電極コントラクト領域2.5Aよりもコントラクト抵抗を小さくできる。なお、本実施例ではチャネル保護膜2.6のアーランド化と、活性層2.5のバーニングの際に、イメージリバーサルレジストを使用したが、他のポジ型レジストを使用してもよい。イメージリバーサルレジストは、耐酸性に優れているので、度数のバーニングには最適である。

[0169] また、チャネル保護膜2.6のアーランド化と活性層2.5のバーニングを除いた製造工序については、前記した実施例のいずれかに従ってよい。

(j) 本発明の第10の実施例の説明  
上記した実施例では、チャネル保護膜を使用するエッチングトップ型について説明したが、チャネル保護膜を使用しないチャネルエッチング型のTFTを用いる場合であっても、そのマスク数を少なくすることもできるので、これを第10実施例として説明する。

[0170] 図44及び図45は、本発明の第10実施例を解説するための上板におけるTFTアレイの要部断面図、図46~図48は、その平面図である。図49は、ゲートバス端子部とドレインバス端子部を示す断面図である。なお、本実施例において、既に示された符号と同一符号は同じ要素を示している。

[0171] まず、ガラス基板2.1の上にスパッタ法により膜厚8.0nmのITO膜と開口1.50mmのCr膜を順に堆積し、ついで、これらの膜をリソグラフィー技術によりバーニングすることにより、図44(a)に示すようなITO/Crよりなるゲート電極5.0とゲートバスライント5.1と、Cr膜に覆われたITO膜よりなるゲートバス端子部5.2を形成する。そのバーニング方法の詳細

(20)

特開平6-310533

37

38

は、第8実施例のゲート電極形成工程において既に述べたので省略する。

【0172】そのリソグラフィー技術において用いたレジスト膜を剥離した後に、図44(a)に示すように、P-CVD法により第一のSIN膜61、a-SI膜62及びa-SIC膜63をそれぞれ4.00mm、1.0mm、1.00mmずつ順に連続して形成する。ここで、プラズマCVD法に用いる反応ガスの種類を説明すると、SIN膜61の成長のためにSiH<sub>4</sub>、NH<sub>3</sub>、H<sub>2</sub>及びEt<sub>2</sub>の混合ガスを使用し、a-SI膜62の成長のためにSiH<sub>4</sub>及びEt<sub>2</sub>の混合ガスを用い、a-SIC膜63の堆積のためにSiH<sub>4</sub>、O<sub>2</sub>、Et<sub>2</sub>及びEt<sub>2</sub>の混合ガスを使用している。プラズマCVD装置としては平行平板電極型を用いる場合にはその電極に13.56MHzの高周波電源を電極に接続する。

【0173】なお、TFTの活性層となるa-SI膜62の電子移動度を從来通りの大きさにするためには、少なくとも1.0mm必要となる。この後に、a-SIC膜63の上にポジ露光フォトレジスト64を塗布した後に、ガラス基板21の下から紫外線(UV)を照射し、ゲート電極50、ゲートバスライン51等をマスクにしてそのフォトレジスト64を露光する。

【0174】この後に、図44(b)に示すように、ゲート電極50の上のフォトレジスト64を露光マスク33を使用してガラス基板21の上方から紫外線により露光をする。続いて、フォトレジスト64を現像すると、図44(b)、図44(c)に示すように、ゲート電極50の上にのみ島状のレジストパターンが残される。このレジストパターンのエッジは、ゲート電極50のエッジよりも内側にある。

【0175】この後に、フォトレジスト64をマスクにしてRIE法によりa-SIC膜63とa-SI膜62をパターニングする。そのエッチングガスとしては、CH<sub>4</sub>とO<sub>2</sub>の混合ガスを使用するが、a-SIC膜63における炭素の含有量が少ない場合には、炭素系のエッチングガスを使用してもよい。これによりa-SI膜62はTFTの活性層となる。

【0176】このようなパターニングの後にレジストマスク64を除去する。次に、PH<sub>3</sub>ガスのプラズマ放電中にa-SIC膜63を曝し、a-SIC膜63の表面から約3.0nmの深さまで焼をドープして図44(c)に示すような+a-SICよりなるコンタクト層65を形成する。その焼のドープ方法は、図10に示すような平行平板型のプラズマCVD装置を使用して、その反応室C内にPH<sub>3</sub>ガスとArガスを導入し、アース電極側にガラス基板21を設置し、ガス圧を1.0Pa、周波数13.56MHzの高周波電源Rから電極P1、P2を5.00Wの放電電力を印加して10~60分間放電させて行う。なお、焼のドープ量、ドープの深さは、ガス圧や電源パワー、時間などの放電条件を変えて制御することが可能である。

【0177】これにより、a-SIC膜63の上面にコンタ

クト層65を形成する。この後に、図45(a)に示すように、スパッタ法によりITO膜53を8.0nm、Cr膜54を1.50nmの厚さに形成する。なお、第3実施例で説明したように、焼のドーピングからCr膜の形成までの工程を真空状態を破らずに連続的に行っててもよい。

【0178】次に、Cr膜54の上にフォトレジスト66を塗布し、これを露光、現像することにより、图案領域電極、ソース電極形成領域、ドレイン電極形成領域、ドレインバスライン領域、ドレインバスライン端子領域を覆うバーンを形成する。そして、このフォトレジスト66をマスクにしてCr膜54とITO膜53を順にパターニングする。なお、Cr膜54とITO膜53のエッチング液は、ゲート電極のパターニング工程で使用した材料と同じにする。

【0179】この後に、フォトレジスト66を除去すると、図45(b)、図47に示すような状態になり、ITO/Crによるソース電極55とドレイン電極56とドレインバスライン57が形成され、また、Cr膜54に覆われたITO膜53からなる图案電極58とドレインバス端子部59が形成される。この後に、同じレジスト膜を用いてa-SIC膜63のうちの焼ドープングトト層65をエッチングして除去し、これによりチャネル領域におけるソース電極55とドレイン電極56との連絡を防止する。そのエッチング方法としては、CPとO<sub>2</sub>の混合ガスを使用するRIE法やアルゴンイオンミリング法等がある。

【0180】そのエッチングの際に、第一のSIN膜61もエッチングされるが、a-SIC膜63のエッチング深さは5.00nm程度なので、SIN膜61との選択比が1程度で差し支えない。エッチングされた後のSIN膜61の厚さは3.50nmとなる。次に、フォトレジスト66を除去してから、P-CVD法を適用することにより、全面に厚さ例えば3.00nmのIn<sub>x</sub>からなる最終保護膜32を図45(c)に示すように形成する。

【0181】さらに、フォトレジスト67を塗布し、これを露光、現像して图案電極58とドレインバス端子部59、ゲートバス端子部52の上に窓を形成する。これにより露出した最終保護膜32と第一のSIN膜61をフッ化水素酸系エッチング液により除去する。これにより、图案電極31とドレインバス端子部57及びゲートバス端子部52の上のCr膜が露出される。

【0182】そこで、そのフォトレジスト67のパターンにより露出された心臓を硝酸セリウム第二アンモニウム液により除去すると、図45(d)、図48、図49に示すように透明ITOよりなる图案電極32とドレインバス端子部59、ゲートバス端子部52が露出する。なお、上記説明では、活性層、コンタクト層としてa-SIC膜を使用しているがa-SIN膜であってもよい。

【0183】以上によりチャネルエッチング型TFTマトリクスを形成するためのレジストマスクは、第1実施

(21)

特開平6-310533

39

例と同様に3、4枚で足りることになる。しかも、ゲートバス端子部5もITOから構成できるので酰化による端子接続不良がなくなる。また、本実施例では、チャネル保護膜を用いてはいるが、ソース・ドレイン電極用のコンタクト層及びトランジスタ活性層の上部を構成する材料として、パラジウムキャップが大きくて光線効率の小さなa-SiC又はa-SiNを用いているために、活性層に光が入ってもオフ電流が著しく増大することはない。

【0184】しかも、そのような炭素あるいは窒素とシリコンの化合物の膜は、アモルファスシリコンよりも透明であり、300nm程度に厚く堆積しても紫外線を遮らずにガラス基板2.1の下の光を遮断してフォトレジストを露光する方法、即ち露光の自己整合法を用いる際に障害をきたすことはない。なお、この実施例では、蓄積容量は付加していないが、第7実施例のように、ゲート電極を形成する際にキャビンダの下側電極を同時に形成しておけば、プロセスを増加させずに蓄積容量を付加したTFTマトリクスが形成される。

【0185】また、ゲート電極の上でレジストのパターンを形成する方法として、第4実施例～第6実施例で示したような方法を探ってもよい。

#### (k) 本発明のその他の実施例の説明

上記した実施例においては、ゲート電極の形成工程においてゲートバスラインと同一平面上に蓄積容量用記録を配設し、これと同素電極と絶縁膜によって容量を形成する方式においては工程上の変更は全くなく、フォトマスクカバーブの変更のみでこと足る。また、ゲートバスラインと同素電極を絶縁膜を介してオーバラップさせる方式においても同様である。

【0186】また、上記した説明では、チャネル保護膜から感出した活性層に構をドーピングする場合について説明したが、炭素、その他のn型不純物を使用してもよいし、珪藻等のp型不純物を使用して抵抗抗化してもよい。さらに、上記した実施例では同素電極としてITO膜を使用したが、これに限るものではなく、酸化インジウム、その他の透明導電膜を使用してもよい。

#### 【0187】

【発明の効果】以上述べたように本発明によれば、第一段階として、ゲート電極とゲートバスラインのバーニング、第二段階として、ゲート電極の上でトランジスタの活性層のバーニング、第三段階として、少なくとも画素電極、ソース電極、ドレイン電極及びドレインバスラインのバーニング、第四段階として、画素電極、ドレインバスライン端子部及びゲートバス端子部の上の膜を除去するバーニングをしている。この四つの段階のバーニングのためには4枚目のフォトマスクを使用すれば足りることになる。

【0188】また、他の本発明によれば、透明絶縁膜基板の下面から光を当ててゲート電極及びゲートバスラインをマスクに使用してレジストを感光しているので、

40

活性層のバーニングの際に第二段階のフォトマスクを省略できる。したがって、フォトマスクを使用する回数を大幅に減らせることになり、薄膜トランジスタ・マトリクスの歩留りを良くし、延いては枚数ハネルの歩留りを向上することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の液晶表示パネルの薄膜トランジスタの等価回路図である。

【図2】本発明の第1実施例を示すTFTマトリクスの要部説明図(その1)である。

【図3】本発明の第1実施例を示すTFTマトリクスの要部説明図(その2)である。

【図4】本発明の第1実施例を示すTFTマトリクスの要部説明図(その3)である。

【図5】本発明の第1実施例を示すTFTマトリクスの要部説明図(その4)である。

【図6】本発明の第1実施例を示すTFTマトリクスの要部説明図(その5)である。

【図7】本発明の第1実施例を示すTFTマトリクスの要部説明図(その6)である。

【図8】本発明の第1実施例を示すTFTマトリクスの要部説明図(その7)である。

【図9】本発明の第1実施例を示すTFTマトリクスの要部説明図(その8)である。

【図10】本発明の第2実施例に用いるドーピング装置の概要構成図である。

【図11】本発明の第2実施例におけるPL:Arプラズマ処理によるガス圧依存性を示す特性図である。

【図12】本発明の第2実施例のTFTのゲート電圧・ドレイン電流の特性図である。

【図13】本発明の第2実施例におけるプラズマドーピング法を用いたTFTのドーズ量とオン電流の関係を示す特性図である。

【図14】本発明の第2実施例におけるプラズマドーピング法によるドーピング時間とドーズ量の関係、およびドーピング時間とピーク熱濃度の関係を示す特性図である。

【図15】本発明の第3実施例に用いるドーピング・成膜装置である。

【図16】本発明の第3実施例におけるTFTのドレイエン電圧・ドレイン電流特性図である。

【図17】本発明の第3実施例におけるドーピング後の処理の相違によるTFTのドレイエン電圧・ドレイン電流特性図である。

【図18】本発明の第4実施例を示すTFTマトリクスの要部説明図である。

【図19】本発明の第4実施例を示すTFTマトリクスの要部説明図である。

【図20】本発明の第5実施例を示すTFTマトリクスの要部平面図である。

(22)

特開平6-310533

41

【図 2 1】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 1）である。

【図 2 2】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 2）である。

【図 2 3】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 3）である。

【図 2 4】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 4）である。

【図 2 5】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 5）である。

【図 2 6】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 6）である。

【図 2 7】本発明の第 6 実施例を示す TFT マトリクスの要部説明図（その 7）である。

【図 2 8】本発明の第 7 実施例を示す TFT マトリクスの要部断面図（その 1）である。

【図 2 9】本発明の第 7 実施例を示す TFT マトリクスの要部断面図（その 2）である。

【図 3 0】本発明の第 7 実施例を示す TFT マトリクスの要部平面図（その 1）である。

【図 3 1】本発明の第 7 実施例を示す TFT マトリクスの要部平面図（その 2）である。

【図 3 2】本発明の第 7 実施例を示す TFT マトリクスの要部平面図（その 3）である。

【図 3 3】本発明の第 7 実施例を示す TFT マトリクスのゲートバス端子部、ドレインバス端子部の平面図及び断面図である。

【図 3 4】本発明の第 8 実施例を示す TFT マトリクスの要部断面図（その 1）である。

【図 3 5】本発明の第 8 実施例を示す TFT マトリクスの要部断面図（その 2）である。

【図 3 6】本発明の第 8 実施例を示す TFT マトリクスの要部平面図（その 1）である。

【図 3 7】本発明の第 8 実施例を示す TFT マトリクスの要部平面図（その 2）である。

【図 3 8】本発明の第 8 実施例を示す TFT マトリクスの要部平面図（その 3）である。

【図 3 9】本発明の第 9 実施例を示す TFT マトリクスの要部断面図（その 1）である。

【図 4 0】本発明の第 9 実施例を示す TFT マトリクスの要部断面図（その 2）である。

【図 4 1】本発明の第 9 実施例を示す TFT マトリクスの要部断面図（その 3）である。

【図 4 2】本発明の第 9 実施例を示す TFT マトリクスの要部平面図（その 1）である。

【図 4 3】本発明の第 9 実施例を示す TFT マトリクスの要部平面図（その 2）である。

【図 4 4】本発明の第 10 実施例を示す TFT マトリクスの要部断面図（その 1）である。

【図 4 5】本発明の第 10 実施例を示す TFT マトリクスの要部断面図（その 2）である。

42

の要部断面図（その 2）である。

【図 4 6】本発明の第 10 実施例を示す TFT マトリクスの要部平面図（その 1）である。

【図 4 7】本発明の第 10 実施例を示す TFT マトリクスの要部平面図（その 2）である。

【図 4 8】本発明の第 10 実施例を示す TFT マトリクスの要部平面図（その 3）である。

【図 4 9】本発明の第 10 実施例を示す TFT マトリクスのゲートバス端子部とドレインバス端子部を示す断面図である。

43

【図 5 0】従来の技術を示す TFT マトリクスの要部説明図（その 1）である。

【図 5 1】従来の技術を示す TFT マトリクスの要部説明図（その 2）である。

【図 5 2】従来の技術を示す TFT マトリクスの要部説明図（その 3）である。

【図 5 3】従来の技術を示す TFT マトリクスの要部説明図（その 4）である。

44

【図 5 4】従来の技術を示す TFT マトリクスの要部説明図（その 5）である。

【図 5 5】従来の技術を示す TFT マトリクスの要部説明図（その 6）である。

【符号の説明】

2 1 基板

2 2 ゲート電極

2 2 A 枝り込み部

2 3 ゲートバスライン

2 4 ゲート絶縁膜

2 5 活性層

45

2 5 A, 2 5 B 電極コンタクト領域

2 6 ダミネル保護膜

2 6 A SIN 層

2 7 レジスト膜

2 8 ソース電極

2 9 ドレイン電極

46

3 0 ドレインバスライン

3 1 固着電極

3 2 終端保護膜

3 3 フォトマスク

47

4 0 キャビシタ用の下側電極（ITO 膜）

4 1 接続用電極

4 2 ゲートバス端子部

4 5 ドレインバス端子部

5 0 ゲート電極

5 1 ゲートバスライン

48

5 2 ゲートバス端子部

5 5 ソース電極

5 6 ドレイン電極

5 7 ドレインバスライン

49

5 8 固着電極

(23)

特開平6-310533

43

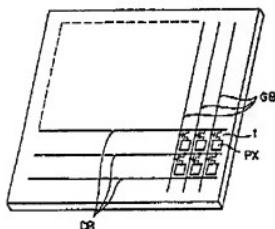
- 5 9 ドレインバス端子部  
 6 1 SIN (ゲート絶縁膜)  
 6 2 a-SI膜 (活性層)  
 6 3 a-SiC 膜  
 6 4 レジスト  
 6 5 コンタクト層  
 6 6 フォトレジスト  
 6 7 最終保護膜  
 7 0 イメージリバーサルレジスト  
 7 1 フォトマスク  
 7 2 I TO膜 (透明電極)

44

- 7 3 Cr膜  
 7 4 ドレインバスライン  
 7 5 開口部  
 7 6 開放電極  
 7 7 最終保護膜  
 C, C1~C6 反応室  
 P1~P4 電源  
 Rf 高周波電源  
 GI、N1~N6 ガス導入口  
 10 GO、EX1~EX6 排気口

【図1】

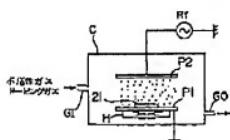
抵抗膜ポートホールの構造トランジスタの断面構造図



1: 防護トランジスタ  
 PX: 非活性層  
 GB: ゲートバッジ  
 DB: ドレインバスライン

【図1.0】

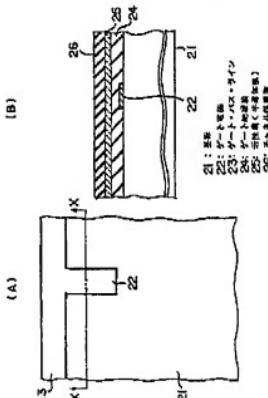
図2実施例に用いるドーピング装置の断面構成図



C: 伝送管  
 P1/P2: 真空  
 H: ヒーター  
 G1: ガス導入口  
 G2: 排気口

【図2】

図1実施例を示すエッチングマトリクスの断面構成図(その1)



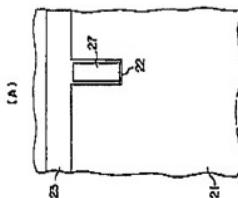
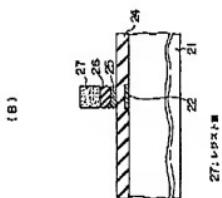
21: ドレインバス  
 22: レジスト層  
 23: ゲートバッジ  
 24: ハーフマスク  
 25: パソマスク  
 26: リード線

(24)

特開平6-310533

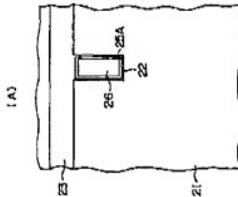
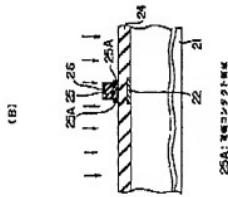
【図3】

第1実用例を示すTFTマトリクスの裏面説明図(その2)



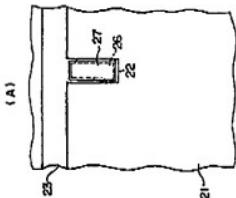
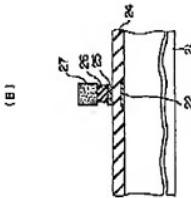
【図5】

第1実用例を示すTFTマトリクスの裏面説明図(その4)



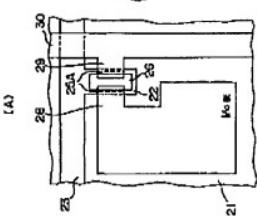
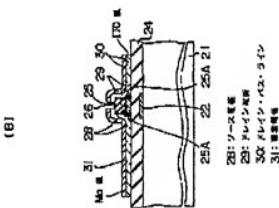
【図4】

第1実用例を示すTFTマトリクスの裏面説明図(その3)



【図6】

第1実用例を示すTFTマトリクスの裏面説明図(その5)

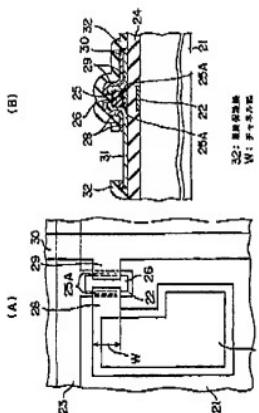


(25)

特開平6-310533

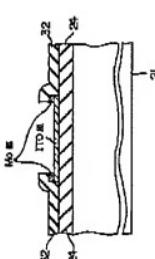
【図7】

第1実施例を示すアズマトックスの表面膜形成(その6)



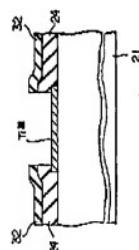
【図8】

第1実施例を示すアズマトックスの表面膜形成(その7)

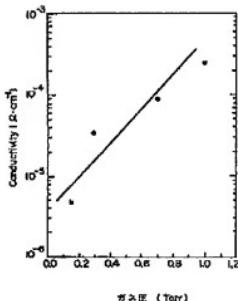


【図9】

第1実施例を示すアズマトックスの表面膜形成(その8)



【図11】

第2実施例における PH<sub>3</sub>:Ar プラズマ処理によるガス圧の存在を示す横断面

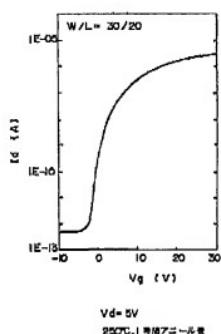
PH<sub>3</sub>:Ar=200:800  
RF:DC=400W  
T<sub>a</sub>=200°C  
アニール温度:250°C

(26)

特開平6-310533

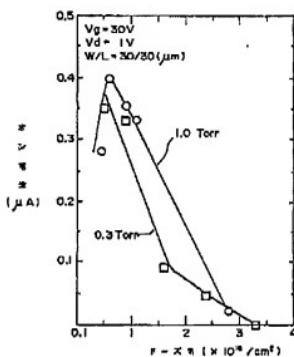
【図1.2】

第2発光部のドレイン電圧・ドレイン電流の特性曲線



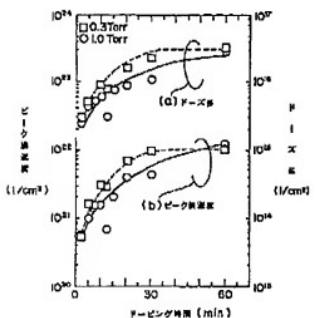
【図1.3】

本発明の第2発光部におけるアラミド-ビニル樹脂を用いたTFTのドレインとオン電流の漏電を示す特性図



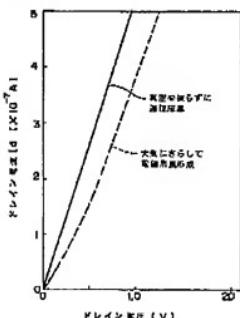
【図1.4】

本発明の第2発光部におけるアラミド-ビニル樹脂によるドーピング時間とドレイン電流との関係とピーキク濃度の関係を示す特性図



【図1.6】

第3発光部におけるTFTのドレイン電圧・ドレイン電流の特性

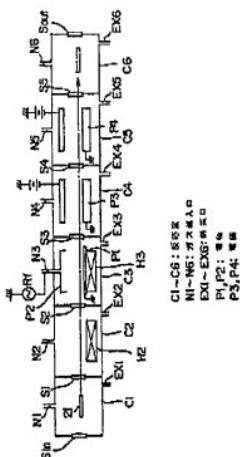


(27)

特明平6-310533

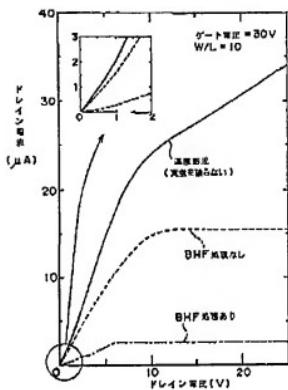
(图 1-5)

### 第3章 薬理学的アセスメント



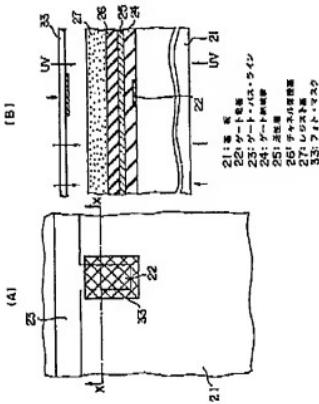
〔圖17〕

本発明の第3実施例におけるドーピング後の結晶の相違によるTFTのドレイン電圧・ドレイン電流特性



[图18]

#### 第4章 指揮者術TTFT下マトリクスの構成説明

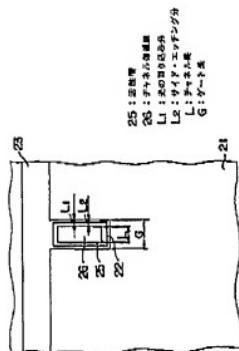


(28)

特開平6-310533

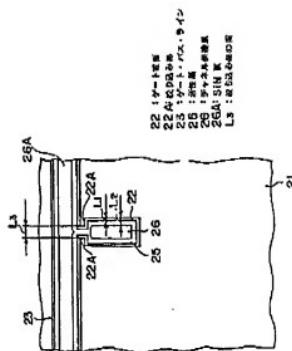
【図19】

第4実施例を示す TFT マトリクスの断面半剖面



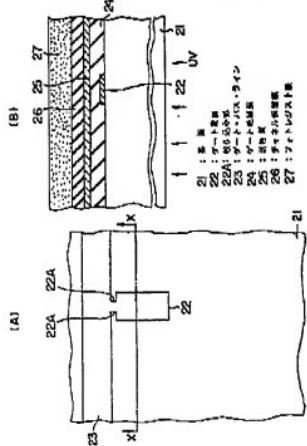
【図20】

第5実施例を示す TFT マトリクスの断面半剖面



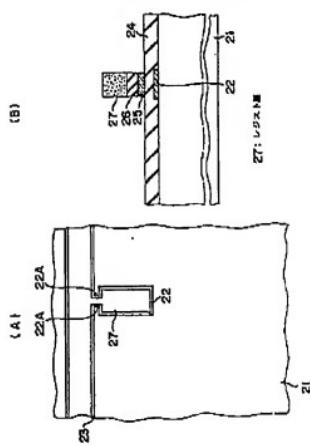
【図21】

第6実施例を示す TFT マトリクスの部品取扱図(その1)



【図22】

第6実施例を示す TFT マトリクスの部品取扱図(その2)

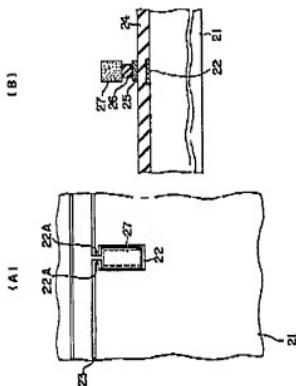


(29)

特開平6-310533

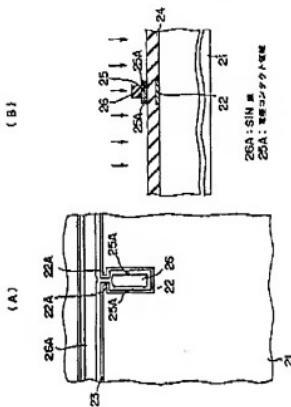
【図23】

第6実施例を示すPTマトリクスの变形説明図(その3)



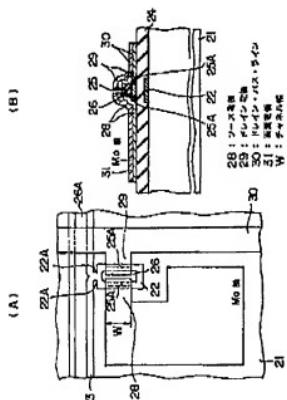
【図24】

第6実施例を示すPTマトリクスの变形説明図(その4)



【図25】

第6実施例を示すPTマトリクスの变形説明図(その5)

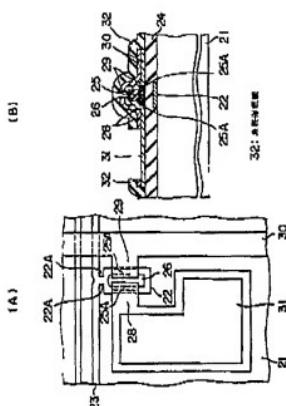


(30)

特開平6-310533

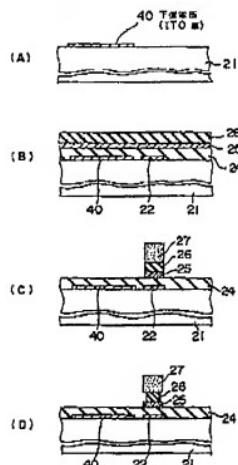
【図27】

第6実施例を示すFTマトリクスの接頭部断面(その1)



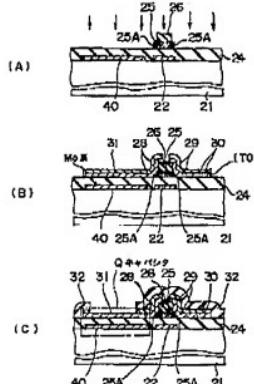
【図28】

第7実施例を示すFTマトリクスの接頭部断面(その1)

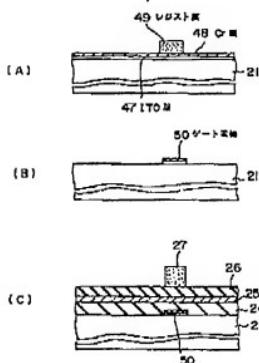


第7実施例を示すFTマトリクスの接頭部断面(その2)

【図29】



第8実施例を示すFTマトリクスの接頭部断面(その1)



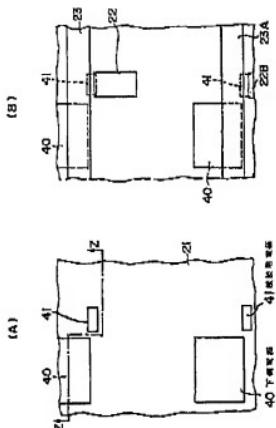
(31)

特湘平6-310533

〔圖3-9〕

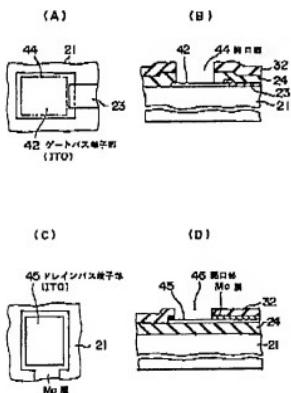
〔四三一〕

### 第7章植物を学ぶアーティクスの植物半圓圖(その1)

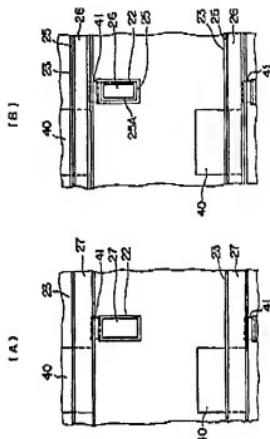


[图3-3-1]

第7回実例を示す TFT マトリクスのゲートバス  
端子部、ソインバストラップ部の半周開及び断面図

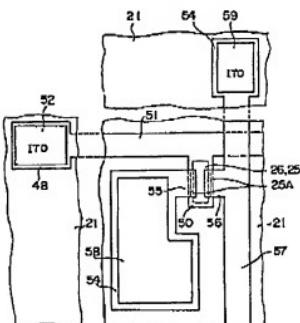


### 第7実施例を示すデータマトリクスの表題や面図(その2)



ITEMS 81

### 無効審査請求を示すとFTマトリクスの問題が浮上(その3)

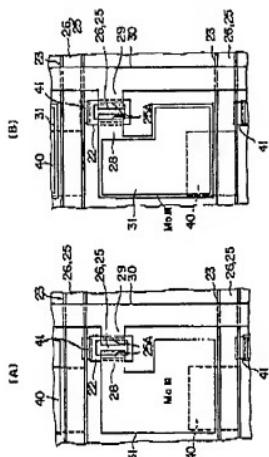


(32)

特開平6-310533

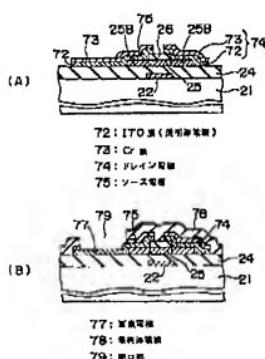
【図32】

第7実施例を示す TFT マトリクスの断面平面図(その3)



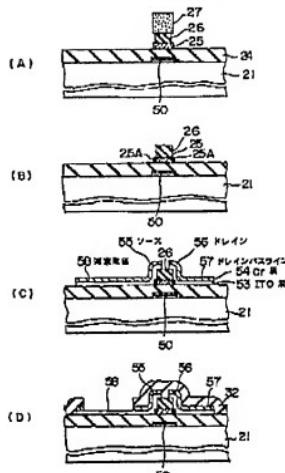
【図41】

第9実施例を示す TFT マトリクスの断面側面図(その3)



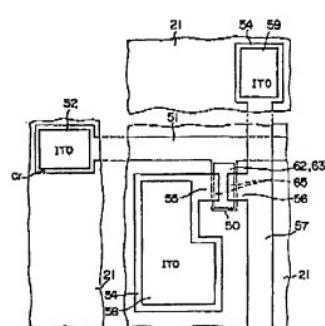
【図35】

第8実施例を示す TFT マトリクスの断面側面図(その2)



【図48】

第10実施例を示す TFT マトリクスの断面側面図(その3)

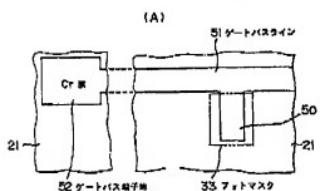


(33)

特開平6-310533

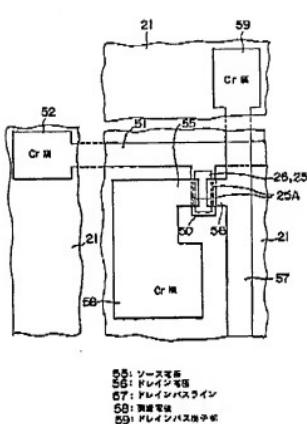
【図36】

第8実施例を示すTFTマトリクスの表面平面図(その1)



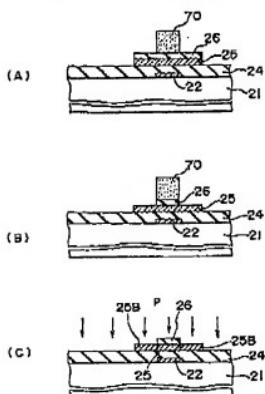
【図37】

第8実施例を示すTFTマトリクスの表面平面図(その2)



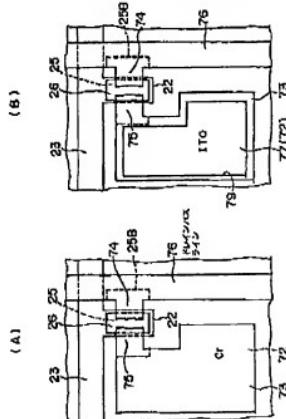
【図40】

第9実施例を示すTFTマトリクスの表面平面図(その2)



【図43】

第9実施例を示すTFTマトリクスの表面平面図(その2)

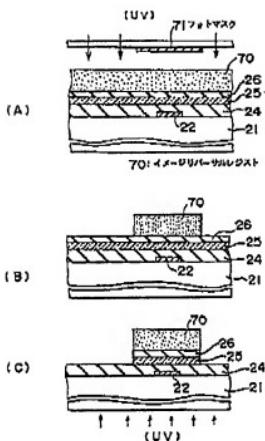


〔図42〕

特開平6-310533

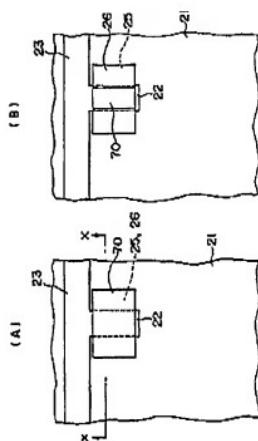
〔図39〕

第9実施例を示す TFT マトリクスの横断面図(その1)

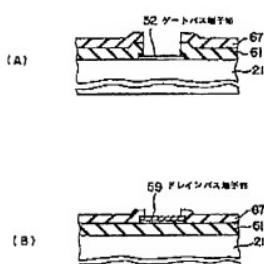


〔図42〕

第9実施例を示す TFT マトリクスの横断面図(その2)

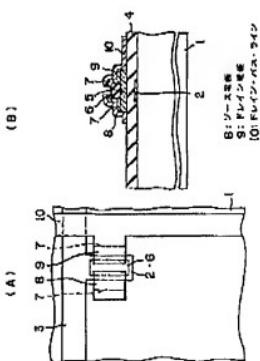


〔図49〕

第10実施例を示す TFT マトリクスのゲート部及  
層とドレインバス端子部を示す断面図

〔図53〕

従来の構造を示す TFT マトリクスの横断面図(その4)

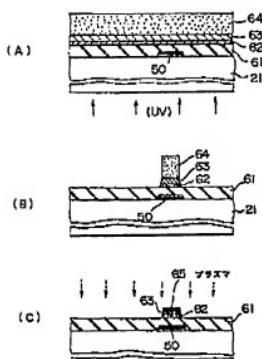


(35)

特開平6-310533

【図44】

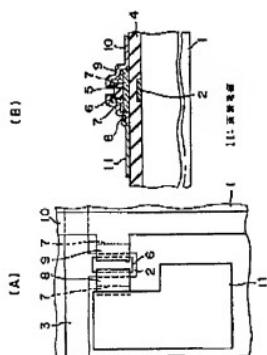
第10実施例内halbドアマトリクスの表面説明図(その1)



50: ゲート基板  
63: a-SiC 基板  
61: SiN 基板  
(ガート部構造)  
65: コンククト層  
62: a-Si 基板(遮光層)

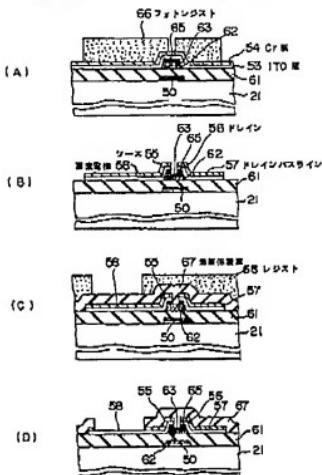
【図54】

従来の技術をもとでドアマトリクスの表面説明図(その5)



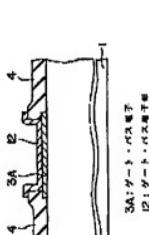
【図45】

第10実施例内halbドアマトリクスの表面説明図(その2)



【図55】

従来の技術をもとでドアマトリクスの表面説明図(その6)

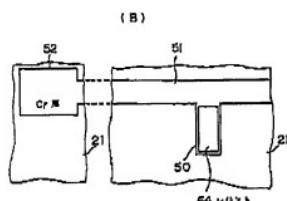
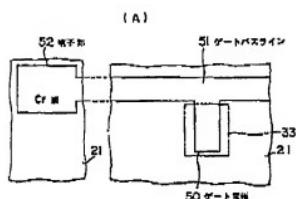


(36)

特開平6-310533

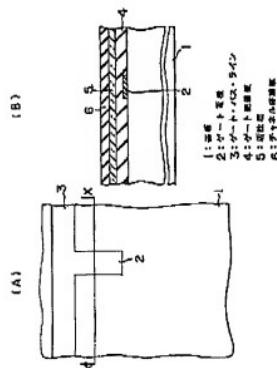
【図46】

第10実施例を示すエマトリクスの断面半剖面図(その1)



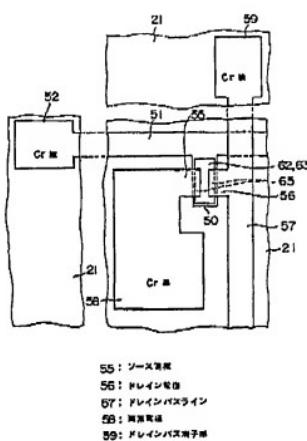
【図50】

前記の技術を示すエマトリクスの断面説明図(その1)



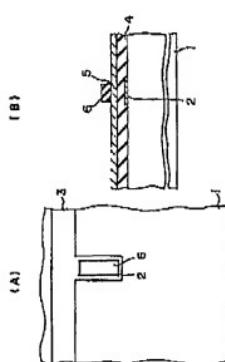
【図47】

第10実施例を示すエマトリクスの断面半剖面図(その2)



【図51】

前記の技術を示すエマトリクスの断面説明図(その2)

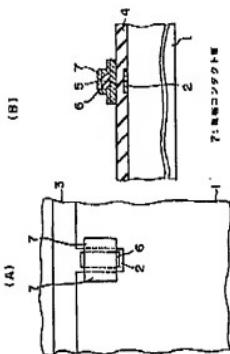


(37)

特許平6-310533

【図52】

正味の技術を記すと T マトリクスの表面説明図(その3)



## フロントページの続き

(S1) Int. Cl. 4  
// H01L 21/22識別記号 序内整理番号 F 1  
E 9278-4M

技術表示箇所